



中国科学技术大学

University of Science and Technology of China

# Ch7-总线系统

王超

中国科学技术大学计算机学院  
高能效智能计算实验室

2026年春

1. 总线概述
  - 1.1 总线的基本概念
  - 1.2 总线的分类
  - 1.3 总线的特性和性能指标
  - 1.4 总线标准
2. 总线结构
  - 2.1 单总线结构
  - 2.2 多总线结构
  - 2.3 总线内部结构
  - 2.4 总线结构实例
3. 总线仲裁
  - 3.1 集中式仲裁
  - 3.2 分布式仲裁
4. 总线通信
  - 4.1 总线接口
  - 4.2 总线操作与总线周期
  - 4.3 串行/并行传送
  - 4.4 总线通信方式

**本章参考资料：唐朔飞《计算机组成原理》、白中英《计算机组成原理》**

# 1.1 总线的基本概念



- 构成计算机系统的互连结构，是连接系统中多个部件的信息传输线
- 实现计算机各个部件地址、数据和控制信息的交换，并在争用资源的基础上进行工作
  - ✓ 某一时刻，只允许有一个部件向总线发送信息，多个部件可以同时从总线上接收相同信息
- 总线的信息传送
  - ✓ 由许多传输线或通路组成，每条线可以传输一位二进制代码



## 1.2 总线的分类

### □ 按数据传送方式划分

- ✓ 并行总线（又可按数据宽度细分）
- ✓ 串行总线

### □ 按总线的使用范围划分

- ✓ 计算机总线
- ✓ 测控总线
- ✓ 网络通信总线等

### □ 按时钟同步/异步划分

- ✓ 总线上的数据与时钟同步工作的总线称为同步总线
- ✓ 与时钟不同步工作的总线称为异步总线

### □ 单机系统中，按连接部件不同划分

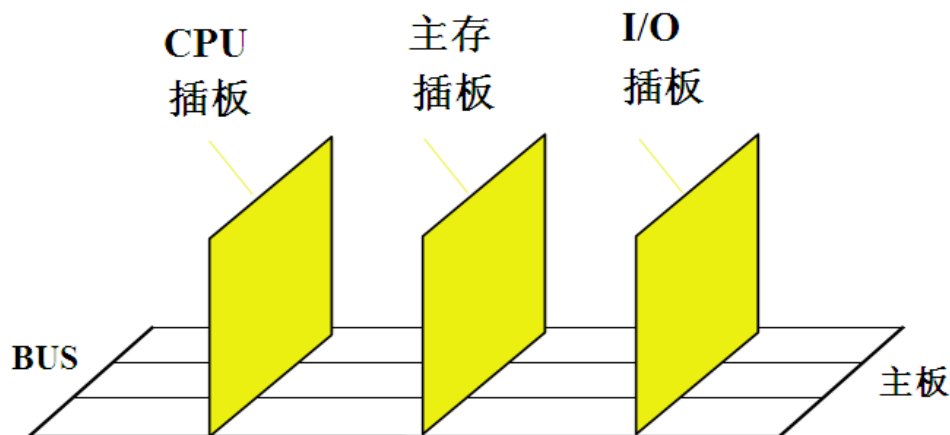
- ✓ 内部总线：连接CPU内部各寄存器及运算部件
- ✓ 系统总线：连接CPU同计算机系统的其他高速功能部件，以及中低速I/O设备（I/O总线）

# 1.2 总线的分类 (2)



## □ 系统总线

✓ CPU、主存、I/O设备各大部件之间的信息传输线，也叫板级总线



✓ 系统总线按传输信息不同

- 数据总线：用于传输各功能部件之间的数据信息，**双向传输总线**
- 地址总线：用来指出数据总线上的数据在主存单元或I/O设备的地址，**单向传输总线**，由CPU发出
- 控制总线：用来发出各种控制信号，**单向传输线**

## 1.2 总线的分类 (3)



### □ 常见的控制信号

- ✓ 时钟：用来同步各种操作
- ✓ 复位：初始化所有部件
- ✓ 总线请求：表示某部件需获得总线使用权
- ✓ 总线允许：表示需要获得总线使用权的部件已被允许
- ✓ 中断请求：表示某部件提出中断请求
- ✓ 中断响应：表示中断请求已经被接收
- ✓ 存储器写：将数据总线的的数据写至存储器的指定地址单元
- ✓ 存储器读：将指定存储单元中的数据读到数据总线上
- ✓ I/O读：从指定的I/O端口将数据读到数据总线上
- ✓ I/O写：将数据总线上的数据输出到指定的I/O端口

# 1.3 总线的特性和性能指标



## □ 总线的特性

### ✓ 物理特性

- 总线的物理连接方式，包括总线的根数、插头、插座形状、引脚线个数及排列方式等

### ✓ 功能特性

- 描述总线中每一根线的功能，如地址总线、数据总线、控制总线

### ✓ 电气特性

- 定义每一根线上信号的传递方向及有效电平范围
- 送入CPU的信号称为输入信号，CPU发出的信号称为输出信号

### ✓ 时间特性

- 定义每根线在什么时间有效，即规定总线各信号的有效时序关系



## □总线的性能指标

- ✓ 总线宽度：通常指**数据总线的位数**
- ✓ 总线频率：1/传输一次数据时间
- ✓ 总线带宽：总线的数据传输速率，即单位时间内总线传输数据的位数
  - 通常用**每秒传输信息的字节数**来衡量
- ✓ 总线复用：一条信号线上分时传送多种信号
- ✓ 其他指标：如负载能力、电源电压、总线宽度扩展等

# 几种传统的微型计算机总线性能



中国科学技术大学  
University of Science and Technology of China

名称	ISA (PC-AT)	EISA	STD	VESA (VL-BUS)	MCA	PCI
适用机型	80286,386,486 系列机	386,486,586 IBM 系列机	Z-80,V20,V40 IBM-PC 系列机	i486, PC-AT 兼容机	IBM 个人机与工作站	P5 个人机, PowerPC, Alpha 工作站
最大传输率	15MB/s	33MB/s	2MB/s	266MB/s	40MB/s	133MB/s
总线宽度	16 位	32 位	8 位	32 位	32 位	32 位
总线工作频率	8MHz	8.33MHz	2MHz	66MHz	10MHz	0~33MHz
同步方式	同步			异步	同步	
仲裁方式	集中	集中	集中	集中		
地址宽度	24	32	20			32/64
负载能力	8	6	无限制	6	无限制	3
信号线数		143		90	109	49
64 位扩展	不可	无规定	不可	可	可	可
并发工作				可		可
引脚使用	非多路复用	非多路复用	非多路复用	非多路复用		多路复用

# 总线性能指标例题



- 例 (1) 某总线在一个总线周期中并行传送4个字节数据，假设一个总线周期等于一个总线时钟周期，总线时钟频率为33MHz，总线带宽多少？
- (2) 如果一个总线周期中并行传送64位数据，总线时钟频率升为66MHz，总线带宽多少？

解：

(1) 设总线带宽用 $D_r$ 表示，总线时钟周期为 $T = 1/f$ ，一个总线周期传送的数据量用 $D$ 表示，则有

$$D_r = D/T = D \times f = 4B \times 33\text{MHz} = 132\text{MB/s}$$

(2)  $D = 64b = 8B$

$$D_r = D/T = D \times f = 8B \times 66\text{MHz} = 528\text{MB/s}$$

# 1.4 总线标准



## □ 总线标准

- ✓ 指系统与各功能模块、模块与模块之间的一个互连的标准规范
- ✓ 基于总线标准连接的两个模块，只需根据标准的要求完成自身一方接口功能要求，无须了解对方接口与总线的连接要求
  - 按总线标准设计的接口被视为通用接口，有利于计算机接口软硬件设计

## □ ISA总线 Industry Standard Architecture

- ✓ IBM为采用全16位CPU而推出的，又称AT总线
- ✓ 使用独立的总线时钟，使得CPU时钟频率可以比总线高
- ✓ 不支持总线仲裁，不能支持多台主设备系统
- ✓ 所有数据传送必须通过CPU或DMA（直接存储访问）接口来管理
- ✓ 总线时钟8MHz，最大传输率16MBps，数据线16位，地址线24位

# 1.4 总线标准 (2)



## □ EISA总线 **Extended ISA**

- ✓ 在ISA基础上扩展开放的总线标准，与ISA完全兼容
- ✓ 从CPU分离出总线控制权，支持多个总线主控器和突发方式的传输
- ✓ 总线时钟频率8MHz，最大传输率可达33MBps
- ✓ 数据总线32位，地址总线32位，扩展DMA访问范围达 $2^{32}$

## □ PCI总线 **Peripheral Component Interconnect**

- ✓ 外围部件互连总线，Intel于1991年首推
  - 独立于CPU时钟，采用33MHz和66MHz的总线时钟
  - 数据线32位，可扩展到64位；传输速率从132MBps到528MBps
  - 支持**突发工作方式 (Burst Mode)**

**指若被传送的数据在主存中连续存放，则在访问此组数据时，只需给出第一个数据地址，占用一个时钟周期，其后每个数据的传送各占一个时钟周期，而不必每次给出各个数据的地址。**

# 1.4 总线标准 (3)



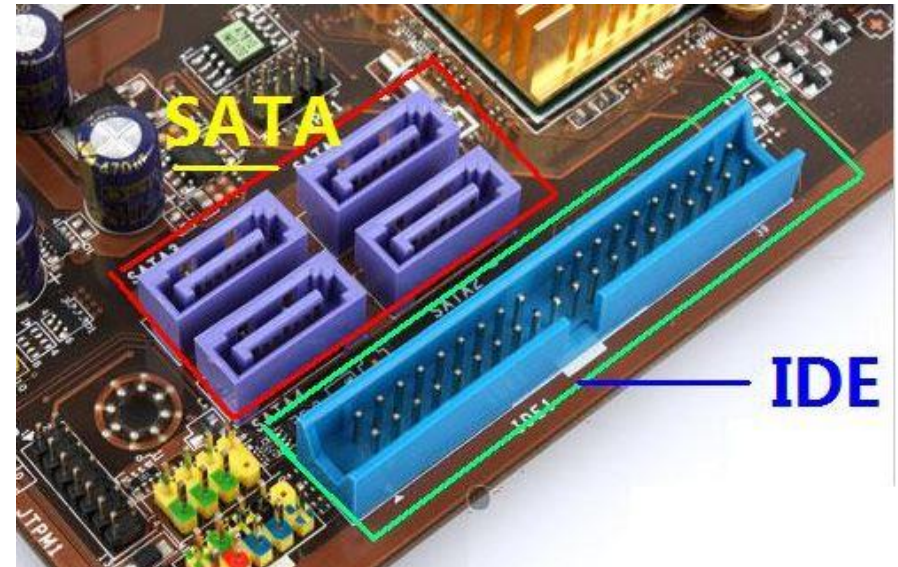
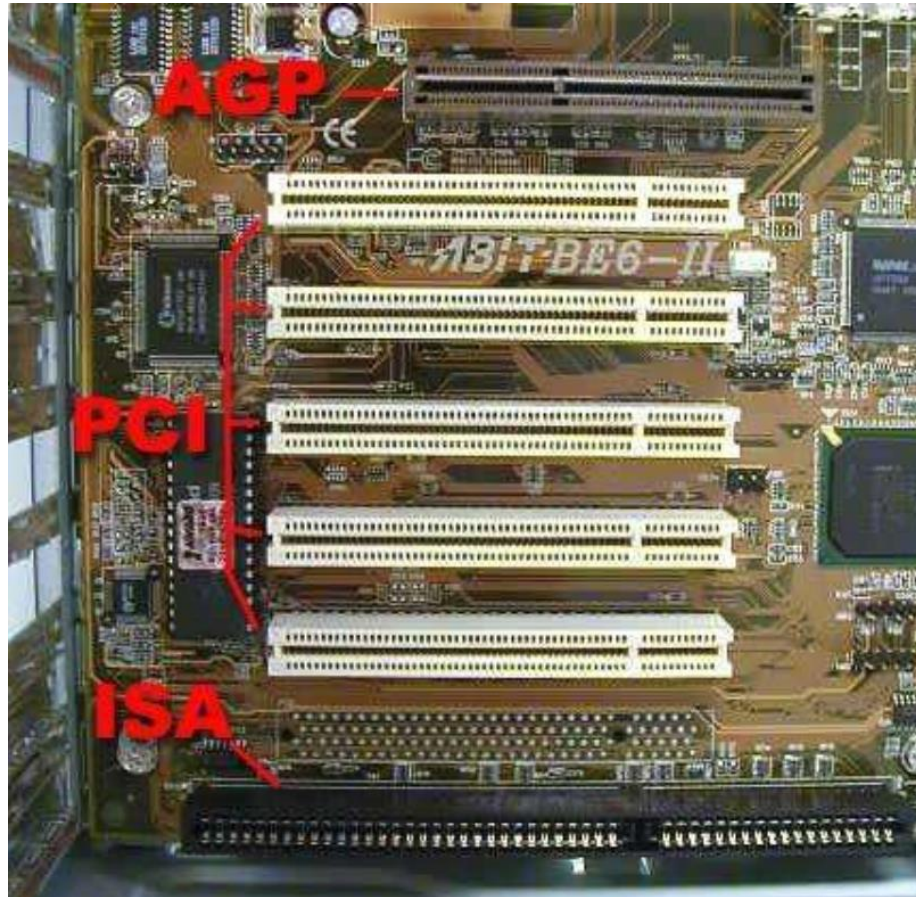
## □ PCI总线的特点

- ✓ 良好的兼容性
  - PCI总线部件和插件接口独立于处理器，支持所有目前和未来不同结构的处理器
  - 与ISA/EISA总线兼容，可转换
- ✓ 支持即插即用
  - 配有存放设备具体信息的寄存器
- ✓ 支持多主设备能力
- ✓ 具有与处理器和存储子系统完全并行操作的能力
  - PCI总线可视为CPU和外设之间的中间层
- ✓ 提供数据和地址校验功能
- ✓ 支持两种电压标准：5V和3.3V
- ✓ 采用多路复用技术

# 1.4 总线标准 (4)



- **AGP总线Accelerated Graphics Port—加速图形接口**
  - ✓ 加速图形端口总线, 显示卡专用的局部总线
  - ✓ 采用点对点通道方式, 以66.7MHz的频率直接与主存联系
  - ✓ 最大传输率从266MBps、533MBps到2.1GBps
- **STD: STD总线于1987年被IEEE列为标准 (IEEE961标准)**
  - ✓ 主要用于以微处理器为中心的工业控制领域。
  - ✓ 数据总线8位, 最大传输率2MB/S。
- **SCSI: Small Computer System Interface—小型计算机系统接口**
  - ✓ 主要用于光驱、音频设备、扫描仪、打印机以及像硬盘驱动器这样的大容量存储设备等的连接, 是一种直接连接外设的并行I/O总线。
- **USB总线**
  - ✓ 通用串行总线标准
  - ✓ 基于通用连接技术, 实现外设的简单快速连接
  - ✓ 真正的即插即用特征: 不断电安装和拆卸
  - ✓ 可链式连接127个外设到同一系统, 标准USB电缆3m, 通过链式连接可达30m
  - ✓ 数据传输率有1.5Mbps、12Mbps和480Mbps
  - ✓ 4芯连接电缆, 2条用于信号连接, 2条用于电源和接地



# 典型总线标准的比较



中国科学技术大学  
University of Science and Technology of China

总线标准	数据线	总线时钟	带宽
ISA	16	8 MHz (独立)	16 MBps
EISA	32	8 MHz (独立)	33 MBps
VESA (VL-BUS)	32	33 MHz (CPU)	133 MBps
PCI	32	33 MHz (独立)	132 MBps
	64	66 MHz (独立)	528 MBps
AGP	32	66.7 MHz (独立)	266 MBps
		133 MHz (独立)	533 MBps
RS-232	串行通信 总线标准	数据终端设备 (计算机) 和数据通信设备 (调制解调器) 之间的标准接口	
USB	串行接口 总线标准	普通无屏蔽双绞线	1.5 Mbps (USB1.0)
		带屏蔽双绞线	12 Mbps (USB1.0)
		最高	480 Mbps (USB2.0)

## 1. 总线概述

- 1.1 总线的基本概念
- 1.2 总线的分类
- 1.3 总线的特性和性能指标
- 1.4 总线标准

## 2. 总线结构

- 2.1 单总线结构
- 2.2 多总线结构
- 2.3 总线内部结构
- 2.4 总线结构实例

## 3. 总线仲裁

- 3.1 集中式仲裁
- 3.2 分布式仲裁

## 4. 总线通信

- 4.1 总线接口
- 4.2 总线操作与总线周期
- 4.3 串行/并行传送
- 4.4 总线通信方式

# 2.1 单总线结构

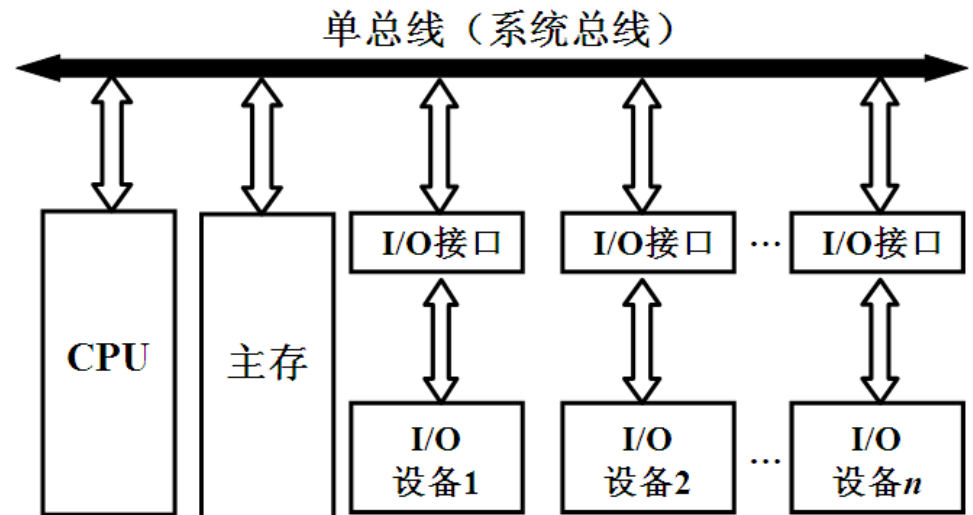


## 单总线结构

✓使用单一系统总线来连接CPU、主存和I/O设备

### 特点:

- ✓要求连接到总线上的部件必须**高速运行**完成操作, 迅速放弃总线控制权
- ✓CPU发出的地址, 不仅加至主存, 也同时加至总线上的所有外设
- ✓对IO设备的操作与主存操作一样, 可以指定地址
- ✓易于扩展成多CPU系统

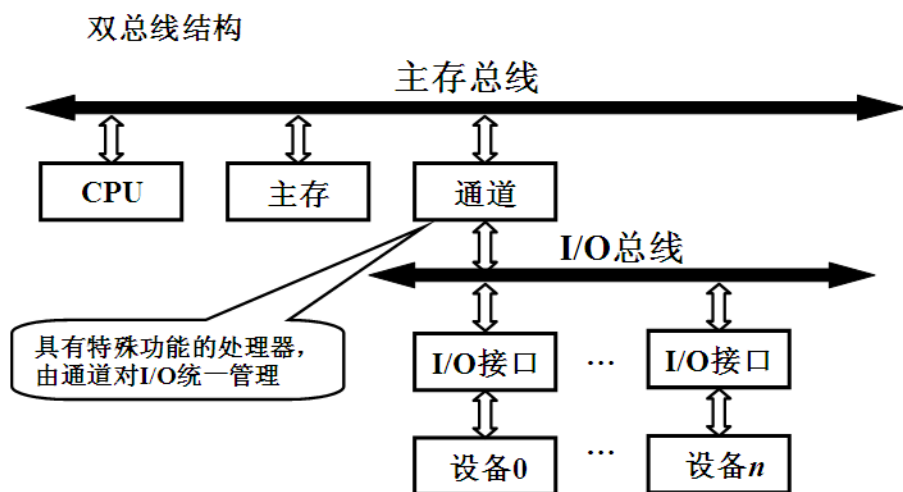


## 2.2 多总线结构



### □多总线结构

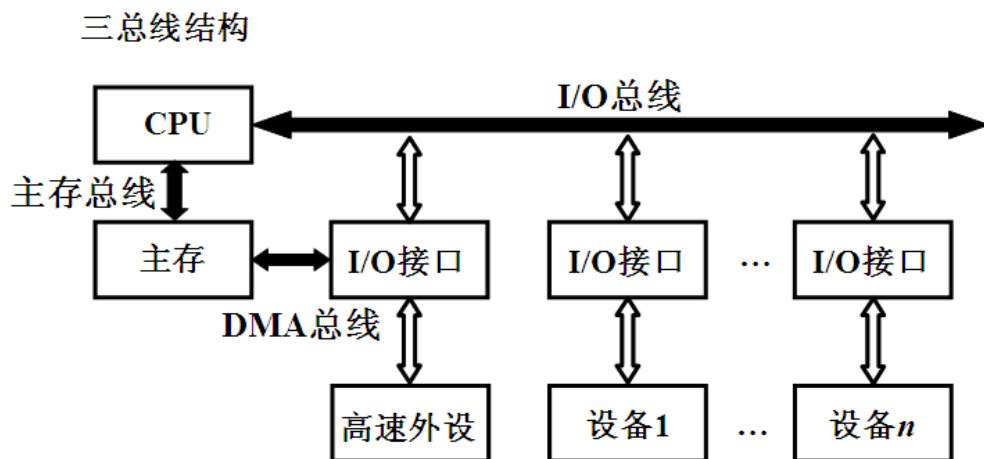
✓在CPU、主存、I/O之间互联采用多条总线



特点：将速度较低的I/O设备从单总线上分离，形成主存总线与I/O总线分开的结构

多用于大、中型计算机系统

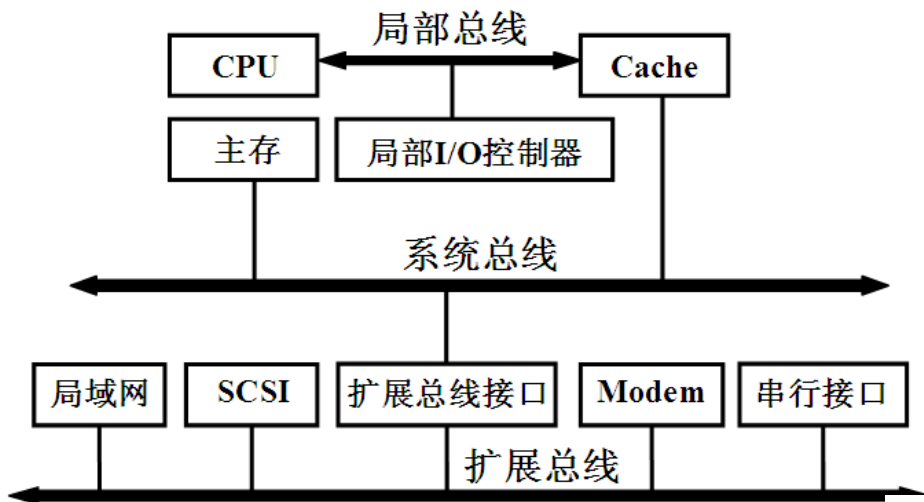
特点：在双总线的基础上，进一步地将I/O设备按速率不同进行分类，形成多总线结构



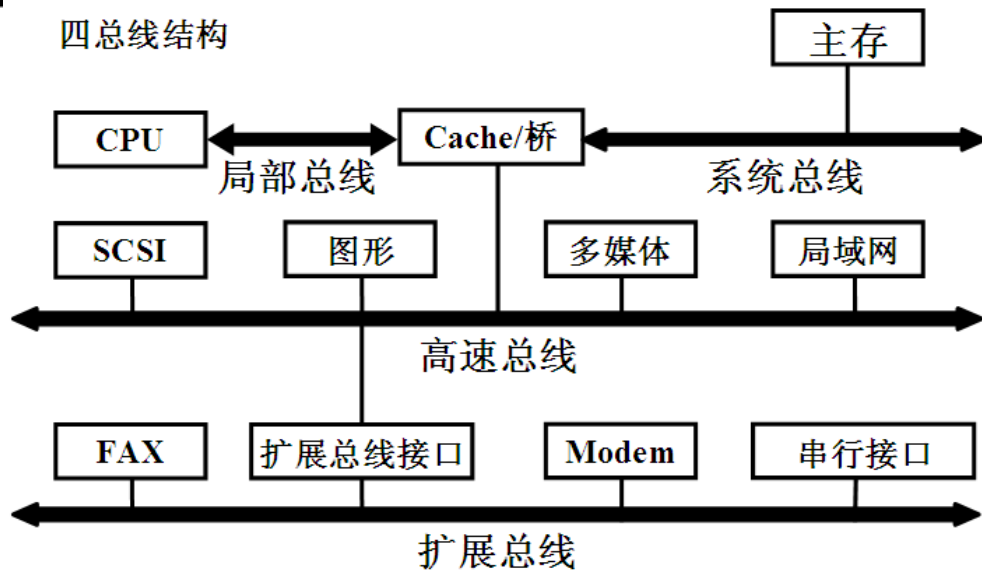
# 2.2 多总线结构 (2)



三总线结构的又一形式



四总线结构

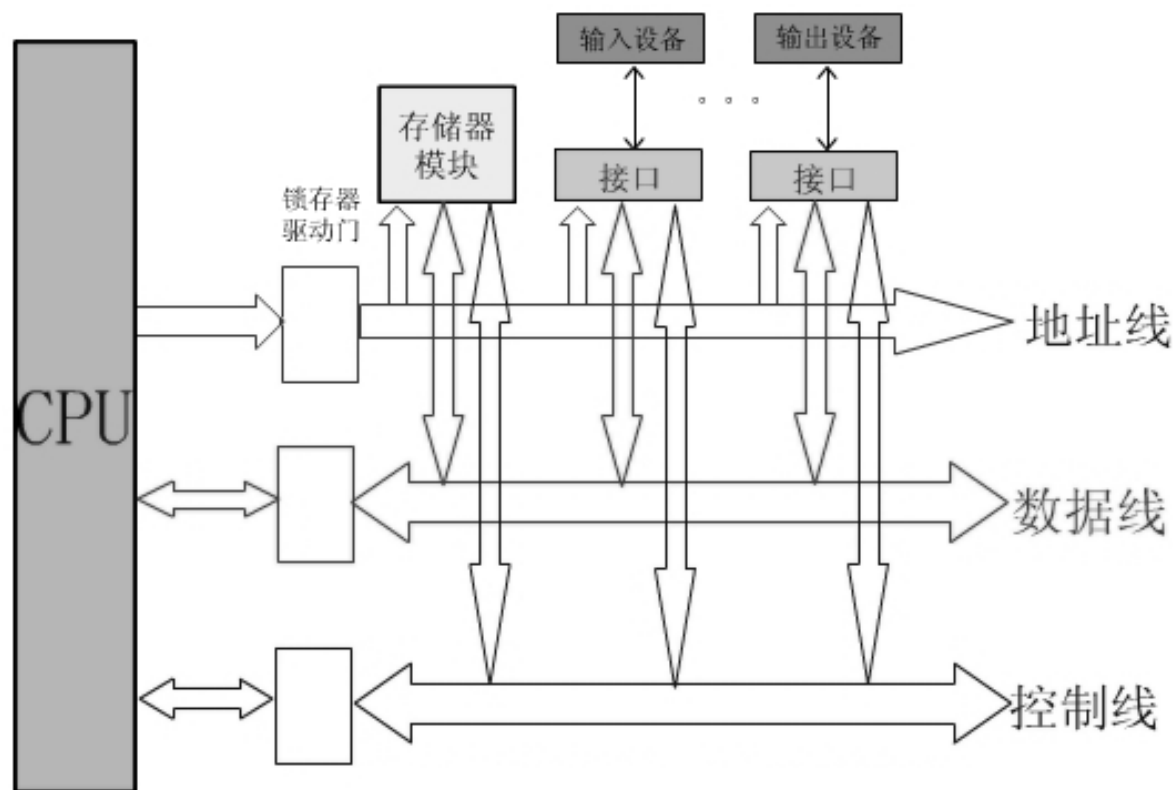


## 2.3 总线内部结构



### 早期总线的内部结构

- ✓ 处理器芯片引脚的延伸，是处理器与I/O设备适配器的通道
- ✓ 不足之处：
  - 总线结构与CPU密切相关，通用性差

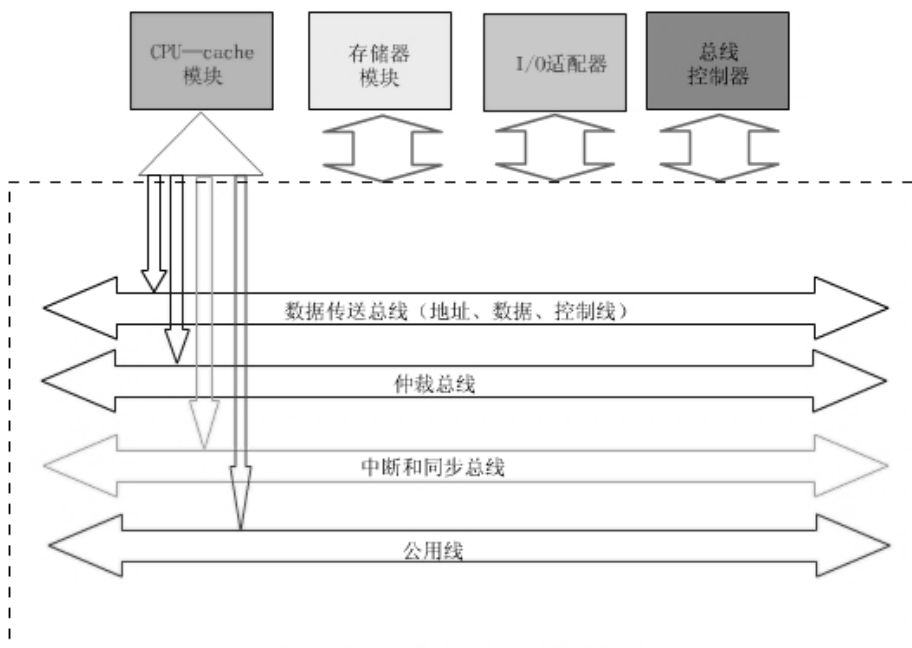


## 2.3 总线内部结构 (2)



### □ 现行总线内部结构

- ✓ 标准总线，与结构、CPU等无关
- ✓ CPU连同其Cache一起作为一个模块与总线相连
- ✓ 四部分组成：
  - **数据传送总线**：数据、地址、控制
  - **仲裁总线**：包括总线请求线和总线授权线
  - **中断和同步总线**：用于处理带优先级的中断操作，包括中断请求线和中断响应线
  - **公用线**：包括时钟线、电源线、地线、复位线及加电/断电的时序信号线等

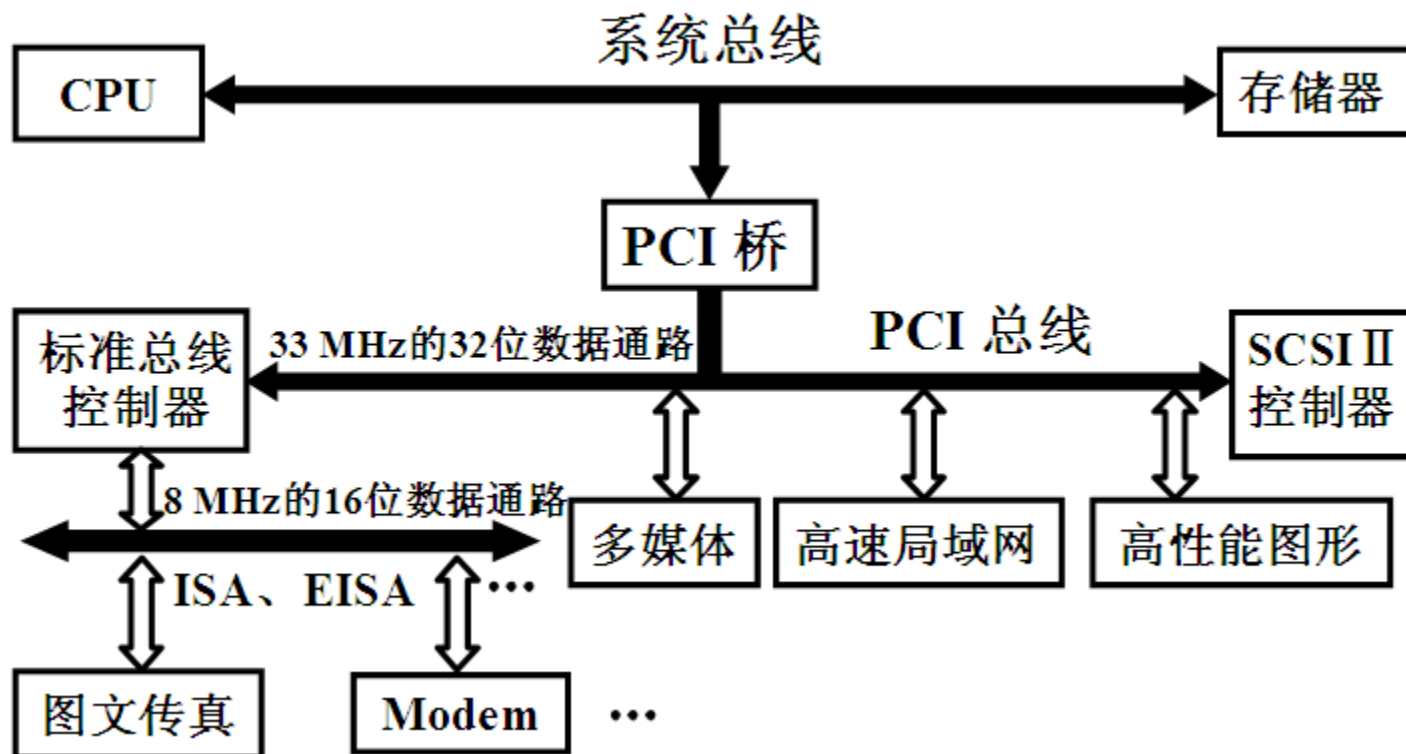


## 2.4 总线结构实例



### □ PCI总线结构

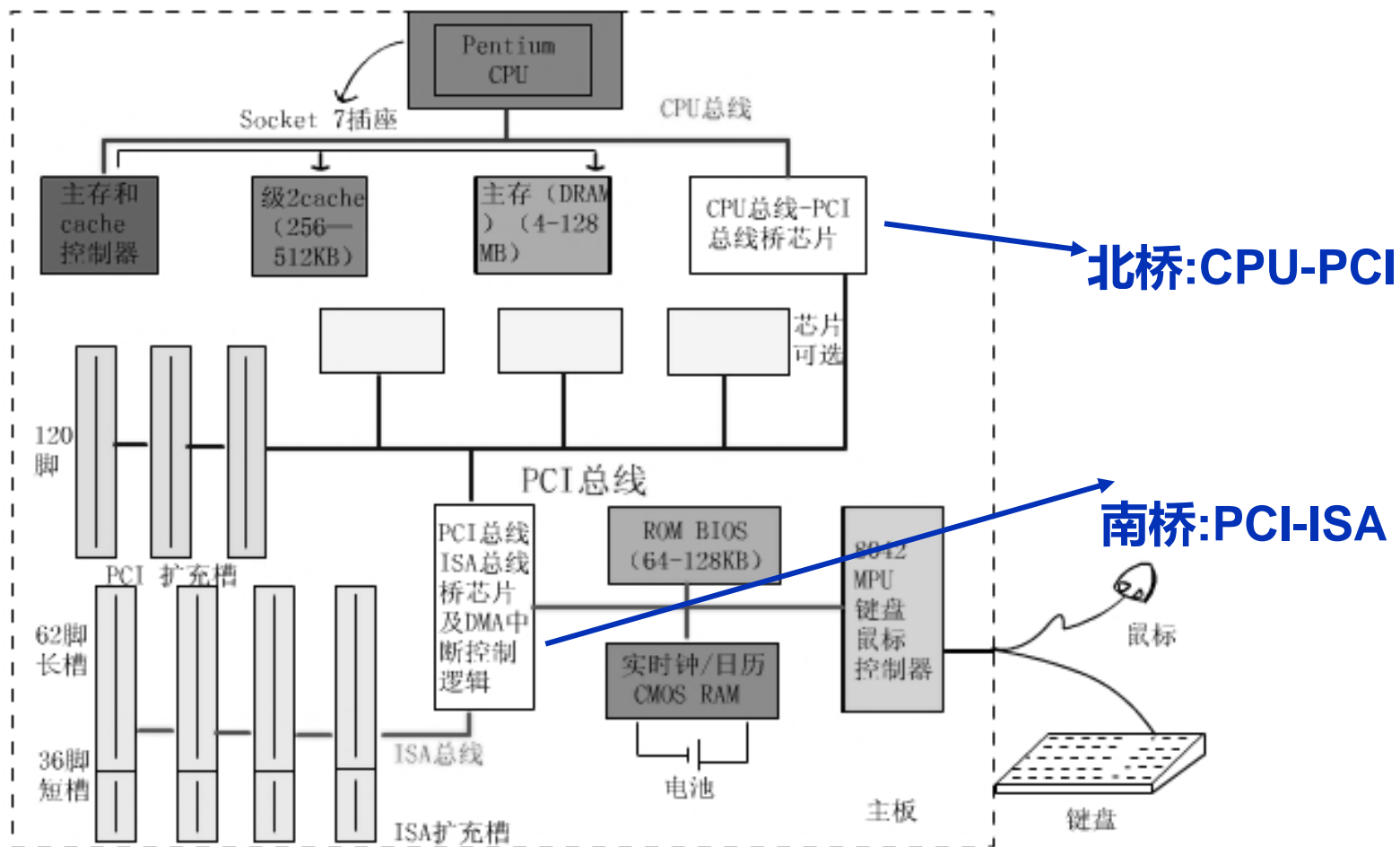
- ✓ 通过PCI桥与CPU总线相连，实现隔离
- ✓ 灵活性高，可支持更多高速设备，且实现即插即用



## 2.4 总线结构实例 (2)



### □ Pentium计算机主板总线结构框图



## 1. 总线概述

- 1.1 总线的基本概念
- 1.2 总线的分类
- 1.3 总线的特性和性能指标
- 1.4 总线标准

## 2. 总线结构

- 2.1 单总线结构
- 2.2 多总线结构
- 2.3 总线内部结构
- 2.4 总线结构实例

## 3. 总线仲裁

- 3.1 集中式仲裁
- 3.2 分布式仲裁

## 4. 总线通信

- 4.1 总线接口
- 4.2 总线操作与总线周期
- 4.3 串行/并行传送
- 4.4 总线通信方式

## □ 设备的主从状态

- ✓ 连接到总线上的设备有**主动**和**被动**两种形态
- ✓ 主设备持续占用总线的时间成为总线占用期
- ✓ 主动方—对总线具有控制功能，可以启动一个总线周期，如CPU  
被动方—只能响应主动方的请求，如存储器
- ✓ 每次总线操作，只能有一个**主动方**占用总线控制权，但可以同时有一个或多个**被动方**

## □ 总线仲裁

- ✓ 对多个主设备提出的总线占用请求进行仲裁
- ✓ 采用优先级或公平策略
- ✓ 根据总线仲裁电路位置不同，分为**集中式仲裁**和**分布式仲裁**

# 3.1 集中式仲裁



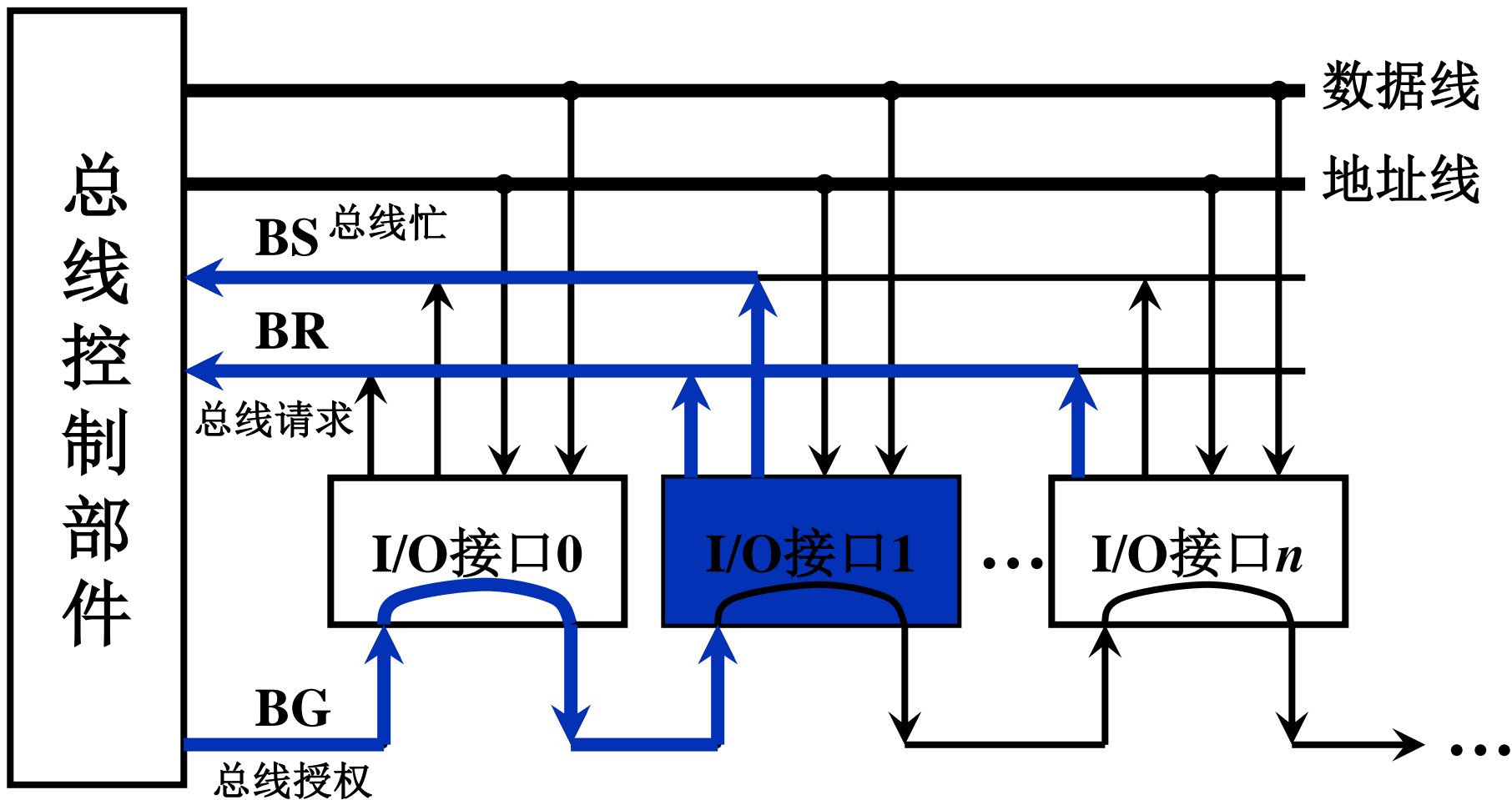
## □集中式仲裁

- ✓控制逻辑集中在一处（如CPU中的总线仲裁器）
- ✓每个设备模块有两条线连到总线仲裁器
  - 一条送往仲裁器的总线请求信号线BR
  - 一条仲裁器送出的总线授权信号线BG
- ✓三种常见的集中式仲裁方式：
  - **链式查询**
  - **计数定时**
  - **独立请求**

## □链式查询方式

- ✓ 总线授权信号线**BG串行地**从一个I/O接口传送到下一个I/O接口
  - 若BG到达的接口无总线请求，则继续往下查询；
  - 若BG到达的接口有总线请求，则不再往下查询，当前接口获得总线使用权，建立**总线忙BS**信号
- ✓ 优先级仲裁——离总线仲裁器**最近**的设备具有**最高**的优先级
- ✓ 优缺点
  - 优点：硬件连线简单，且易于扩充
  - 缺点：对电路故障敏感，优先级低的设备很难获得请求

# 链式查询方式 (2)



## 2. 计数器定时查询方式



### □ 计数器定时查询方式

#### ✓ 查询过程

- 设备要使用总线时，通过**BR线**发出总线请求
- 总线仲裁器接到请求信号后，在总线当前未被使用的情况下**开始计数**，并将计数值通过设备地址线发给各设备
- 各设备接口将自身的设备地址与计数值进行比较，若一致，则该设备获得总线使用权，置BS线为“1”，此时中止计数查询

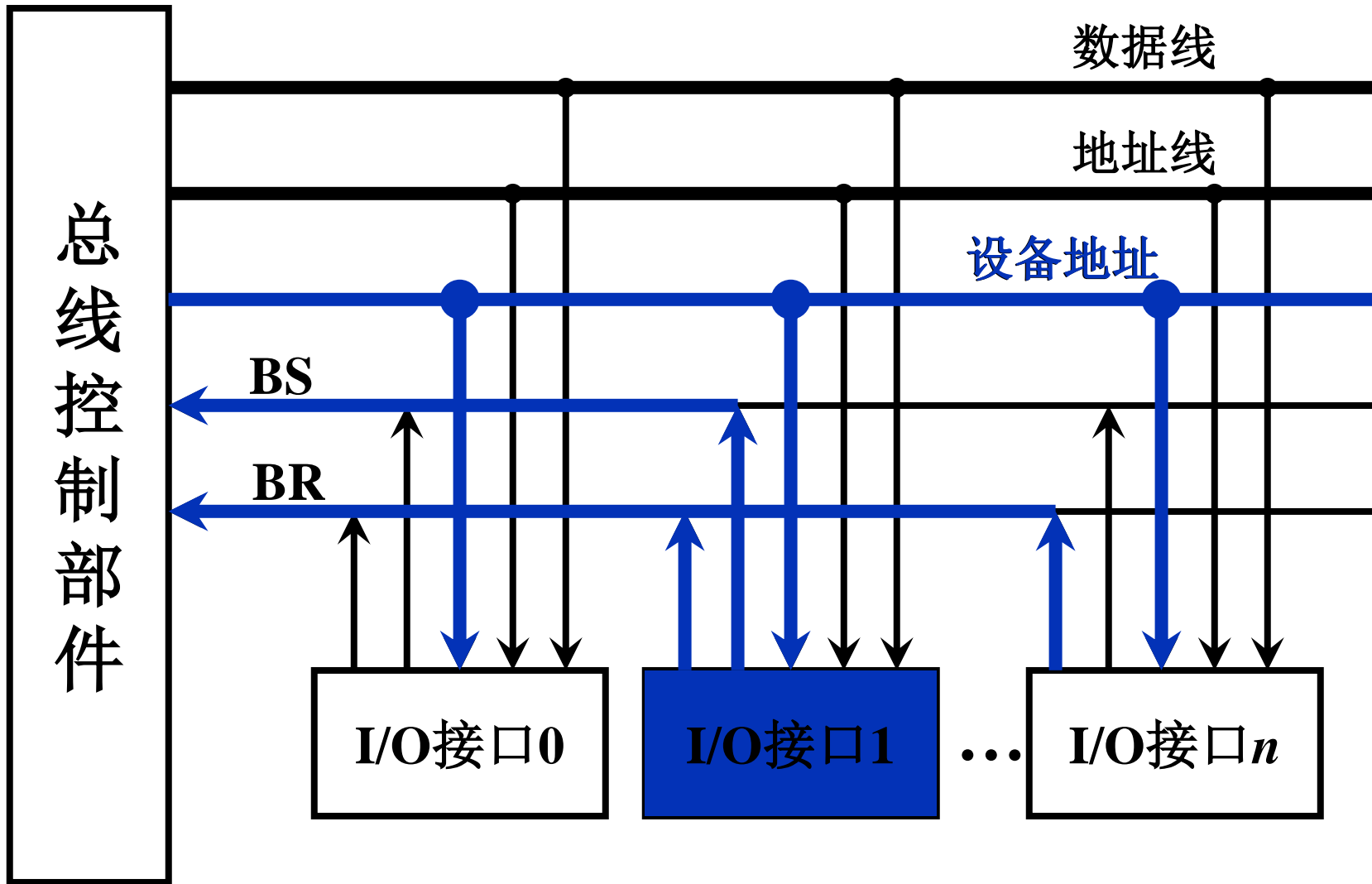
#### ✓ 每次计数可以从“0”开始，也可以从上一次的中止值开始

- 若从“0”开始，各设备的**优先级顺序固定**
- 若从中止值开始，为一种循环方法，各设备的**优先级相等**

#### ✓ 特点：

- 计数器初始值可以由程序设置，因而设备优先级**次序可以改变**
- 对电路故障不敏感，但增加了控制线数，控制较复杂

# 计数器定时查询方式 (2)



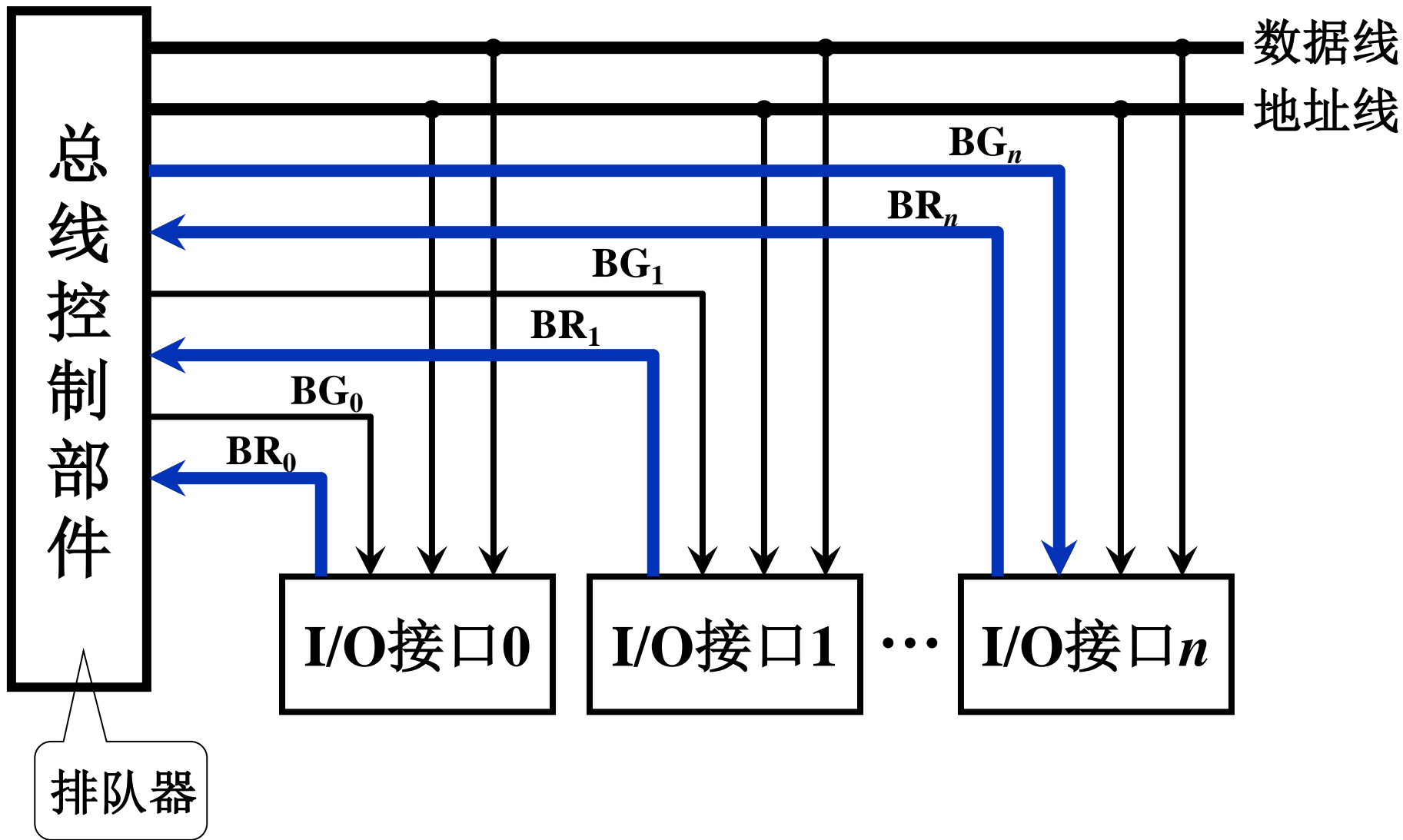
# 3.独立请求查询方式



## □独立请求查询方式

- ✓每个设备都有一对**总线请求线和总线授权线**
  - 设备要使用总线时，发出该设备的请求信号
- ✓总线仲裁器有一个排队电路，根据一定的优先次序决定首先响应哪个设备的请求
- ✓优缺点
  - 优点——响应时间快，对优先次序的控制十分灵活
  - 缺点——控制线数量多，控制更复杂
- ✓当代总线标准普遍采用的集中仲裁方式

# 独立请求查询方式 (2)



□ **分布式仲裁不需要中央仲裁器，有三种常见的仲裁方式：**

- ✓ **自举分布式仲裁**（每个设备独立地决定自己是否是最高优先级请求者。在总线裁决期间，**每个设备将有关请求线上的信号合成后取回分析**，根据这些请求信号确定自己能否拥有总线控制权）
- ✓ **冲突检测分布式仲裁**（每个设备独立地请求总线，多个同时使用总线的设备会发生冲突，冲突被检测到，**按照某种策略**在冲突的各方选择一个设备。  
(CSMA/CD带冲突检测的载波侦听多路访问)
- ✓ **并行竞争分布式仲裁**

## □ 并行竞争分布式仲裁

- ✓ 每个主设备具有专属的仲裁号和仲裁器
- ✓ 第一个设备将自己的仲裁号写入仲裁总线
- ✓ 仲裁过程
  - 当它们有总线请求时，把它们唯一的仲裁号发送到共享的仲裁总线上
  - 每个仲裁器将仲裁总线上得到的号与自己的号进行比较
  - 如果仲裁总线上的号大，则它的总线请求不予响应，并撤消它的仲裁号
  - 最后，获胜者的仲裁号保留在仲裁总线上。

### ✓ 基于优先级策略的仲裁方式

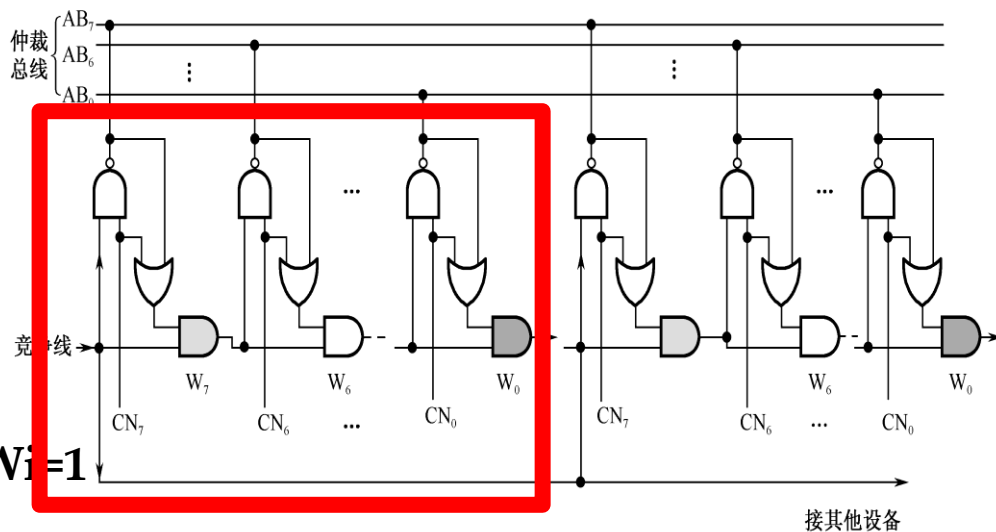
**Cni**为设备的仲裁号，为1则请求竞争  
**Abi=0**说明总线此位目前有请求

如  $C_{ni}=0, A_{bi}=0$ ，则竞争失败， $W_i=0$

如  $C_{ni}=0, A_{bi}=1$ ，则此位无竞争， $W_i=1$

如  $C_{ni}=1, A_{bi}=1$ ，则竞争成功， $W_i=1$

如  $C_{ni}=1, A_{bi}=0$ ，则继续竞争下一位， $W_i=1$



# 并行竞争分布式仲裁例子



- 两个设备同时要求使用总线，仲裁号分别是00000101和00001010；最终留在仲裁线上的号为00001010。

裁决号1		裁决号2		裁决线电平	裁决线逻辑
cn	AB	cn	AB		
0	高	0	高	高	0
0	高	0	高	高	0
0	高	0	高	高	0
0	高	0	高	高	0
0	高	1	低	低	1
1	高	0	高	高	0
0	高	1	低	低	1
1	高	0	高	高	0

# 主要内容



## 1. 总线概述

- 1.1 总线的基本概念
- 1.2 总线的分类
- 1.3 总线的特性和性能指标
- 1.4 总线标准

## 2. 总线结构

- 2.1 单总线结构
- 2.2 多总线结构
- 2.3 总线内部结构
- 2.4 总线结构实例

## 3. 总线仲裁

- 3.1 集中式仲裁
- 3.2 分布式仲裁

## 4. 总线通信

- 4.1 总线操作与总线周期
- 4.2 串行/并行传送
- 4.3 总线通信方式

## 4.1 总线操作与总线周期



### □读/写操作

- ✓读操作：由**从设备到主设备**的数据传送  
地址-命令-数据
- ✓写操作：由**主设备到从设备**的数据传送  
地址-数据-命令

### □块传送操作，猝发式传送 (Burst)

- ✓只需给出块起始地址，然后对固定块长度的数据一个接一个地读出或写入

## 4.1 总线操作与总线周期 (2)



### □ 写后读、读修改写操作

- ✓ 两种组合操作：先写后读 / 先读后写
- ✓ 只给出地址一次，读写为同一目标地址
- ✓ 用途：
  - 先写后读一般用于**校验**目的；
  - 先读后写多用于多道程序系统中对**共享存储资源的保护**

### □ 广播/广集操作

- ✓ 一个主设备对多个从设备的写操作，称为**广播**
- ✓ 多个从设备对一个主设备的读操作，称为**广集**
  - 将选定的多个从设备的数据在总线上进行与/或操作
  - 可用于检测多个中断源



## □ 总线周期

✓ 通常指完成一次总线操作的时间

✓ 一般可以分为4个阶段

- 申请分配阶段

主设备提出总线使用申请，总线仲裁机构决定下一个传输周期的总线使用权归属

- 寻址阶段

获得总线使用权的主设备发送本次要访问的从设备的地址及有关命令，启动参与本次传送的从设备

- 传送阶段

主设备与从设备进行数据交换

- 结束阶段

主设备相关信息从总线上撤除，让出总线使用权

## 4.2 串行/并行传送与复用



### □ 传送方式

#### ✓ 串行传送

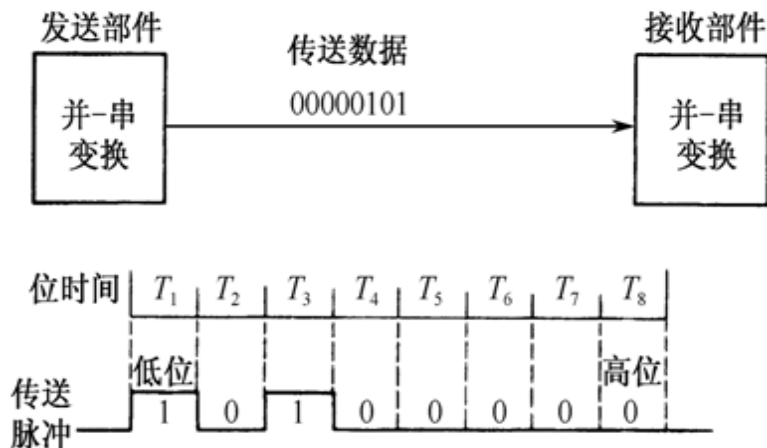
- 只有一条传输线，采用脉冲传送
- 位时间：每个二进制位在传输线上占用的时间长度，由同步脉冲体现

#### ✓ 并行传送

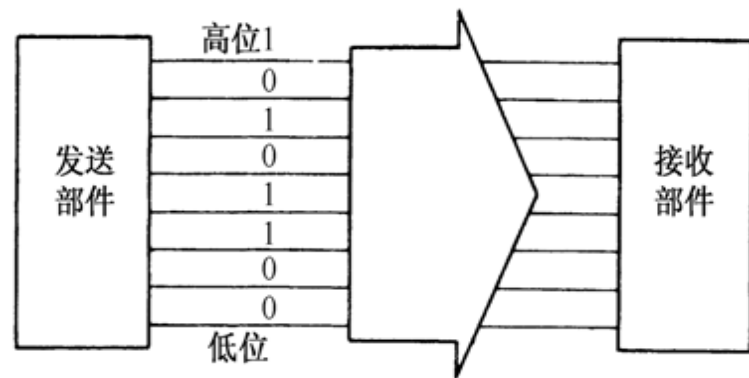
- 使用多条传输线，同时传输多位二进制信息，采用电位传送
- 串-并转换与并-串转换

### □ 分时复用

- ✓ 总线复用，如既传数据，又传地址
- ✓ 共享总线部件，分时使用



(a) 串行传送



# 4.3 总线通信方式



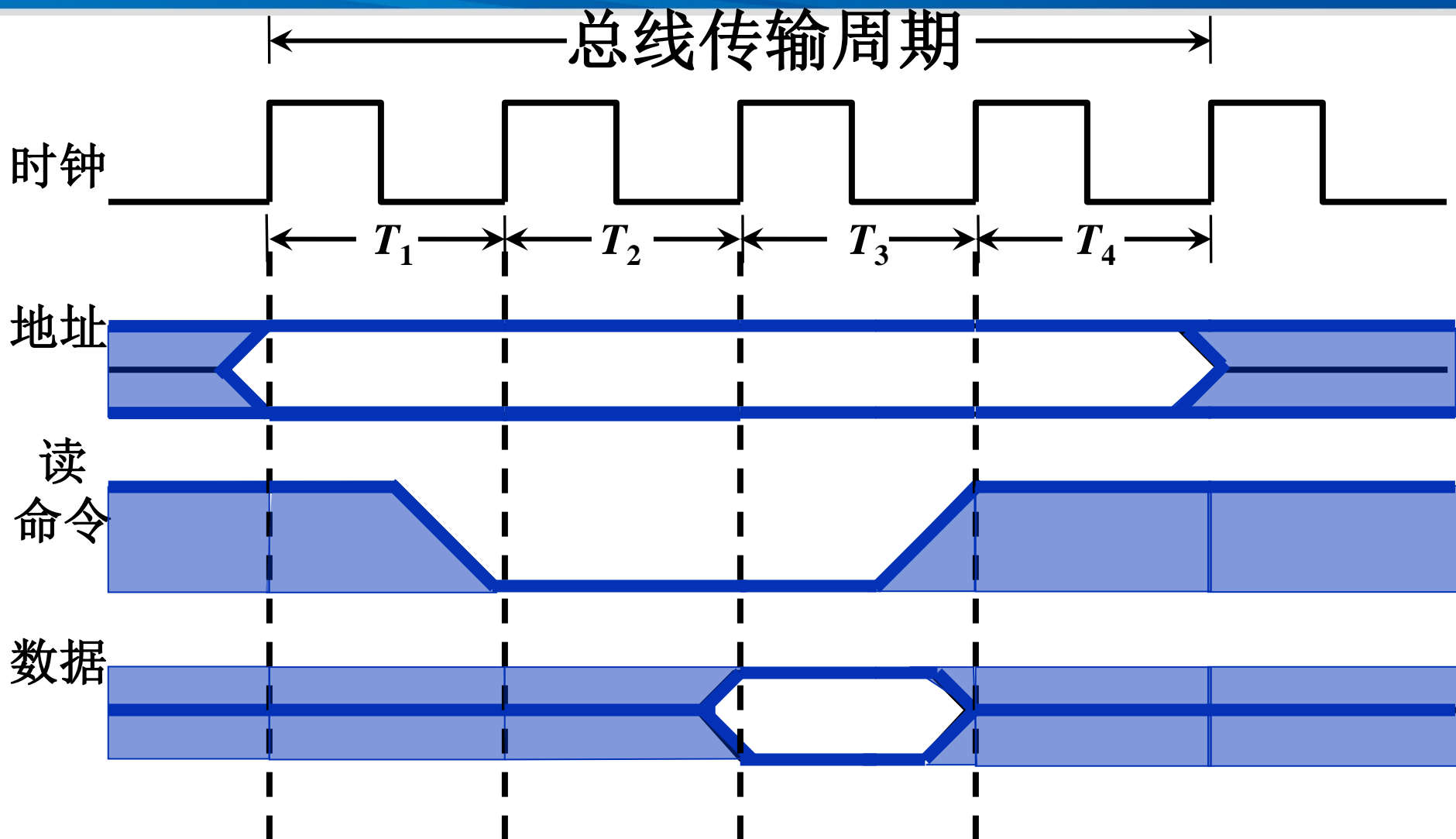
## □ 总线通信控制

- ✓ 主要解决通信双方如何获知传输开始和传输结束，以及通信双方如何协调如何配合
- ✓ 四种方式：**同步通信**、**异步通信**、**半同步通信**、**分离式通信**

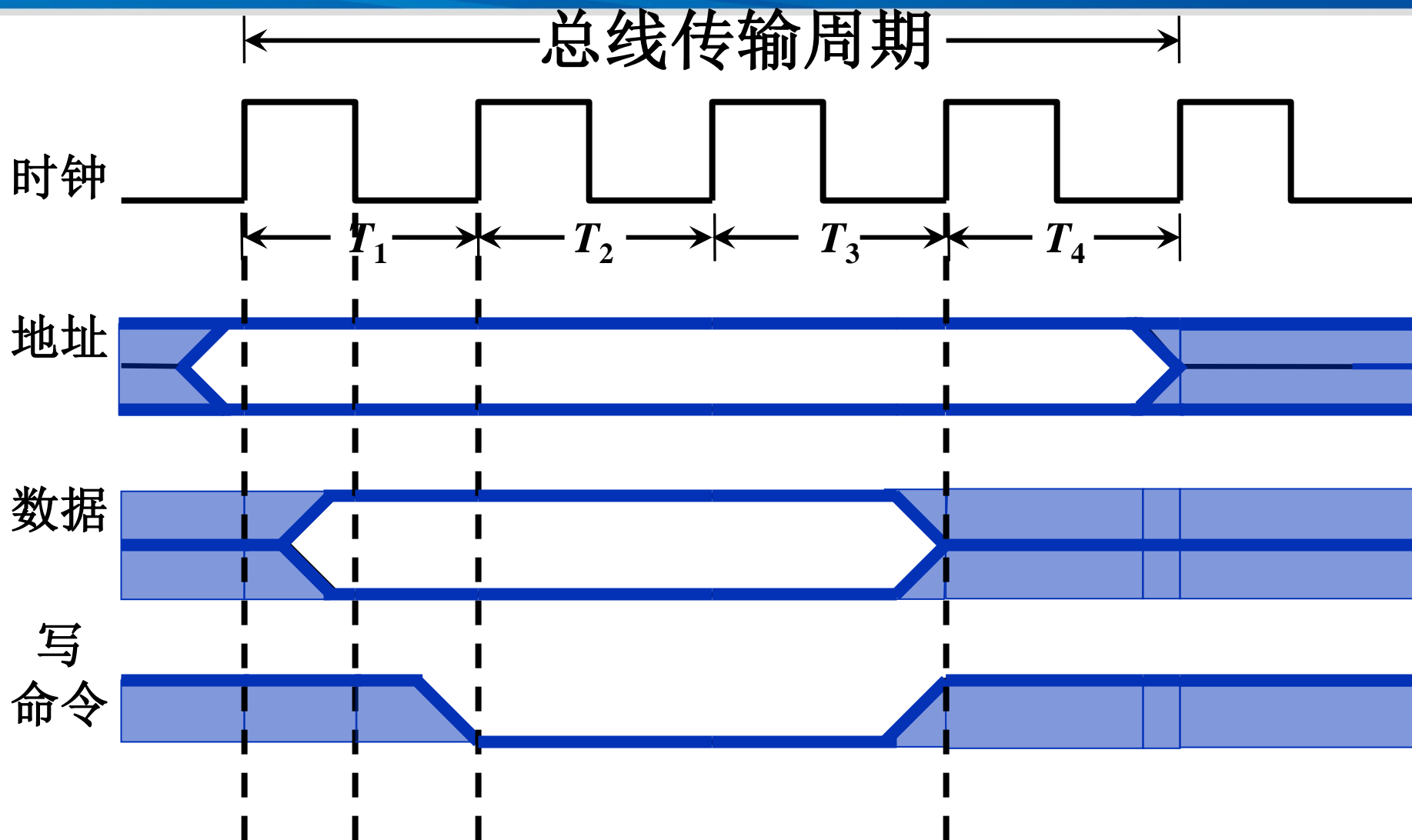
## □ 同步通信

- ✓ 通信双方由统一的**时钟标准**控制数据传送
- ✓ 时钟标准的形成
  - 通常由**CPU总线**控制部件发出，发送给总线上的所有设备部件
  - 也可以由各个设备部件各自的时序发生器发出，但必须由总线控制部件发出的时钟信号对它们进行**同步**
- ✓ 优点：规定明确、统一，模块间的配合简单一致
- 缺点：1) **强制同步**，必须在限定的时间内完成规定操作；2) 需按**最慢**速度部件来设计公共时钟，影响总线效率，缺乏灵活性
- ✓ 一般用于总线长度较短、各部件存取时间较一致の場合

# 同步数据输入



# 同步数据输出

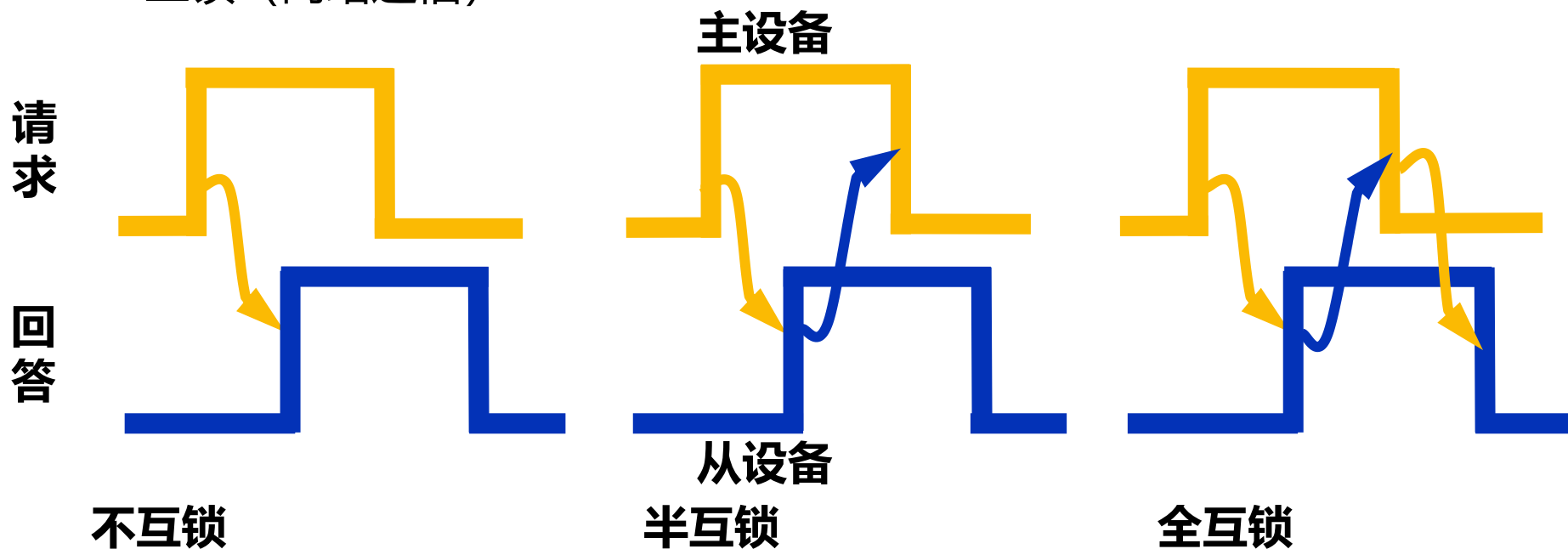


## 4.4 总线通信方式 (2)



### □ 异步通信

- ✓ 没有公共的时钟标准，不要求所有部件严格统一操作时间，允许各部件速度不一致
- ✓ 采用应答方式（握手方式）
  - 需在主、从设备间增加两条应答线
- ✓ 异步通信应答方式：不互锁（访存）、半互锁（访问共享存储器）和全互锁（网络通信）

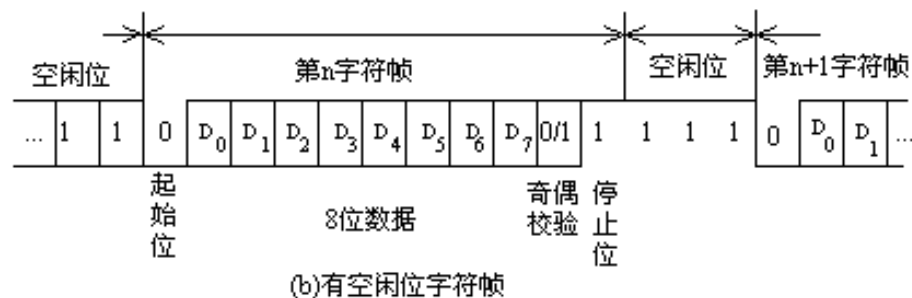


# 不同数据传输率的异步串行通信

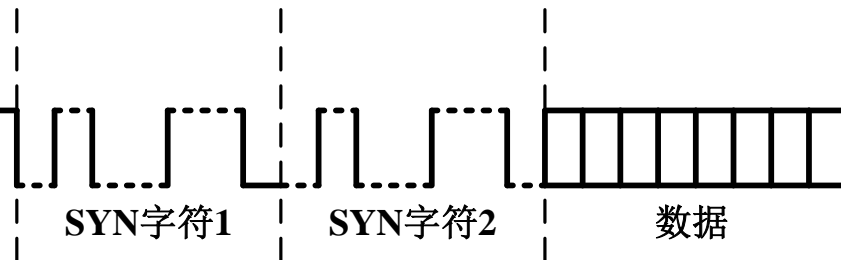


异步串行通信字符格式中包含起始位、终止位、校验位等若干附加位，若只考虑有效数据位，可用**比特率**来衡量数据传输速率

**比特率**——单位时间内传送的二进制**有效数据**的位数，单位为**bps**  
**波特率**——单位时间内传送的二进制**数据**的位数，单位为**bps**



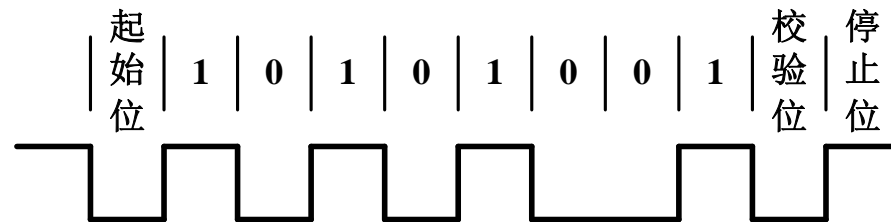
为提高速度，可以去掉附加位，采用同步传送。同步传送中，数据块开始处要用同步字符**SYN**来指明。



- 例 画图说明异步串行传送方式发送十六进制数据95H。要求字符格式为：1位起始位、8位数据位、1位偶校验位、1位终止位

解：95H = 1001 0101B

异步串行传送在起始位后传输数据位的最低位，数据位的最高位之后传输校验位，最后终止位。95H的偶校验位为0，波形图如下：



- 例 在异步串行传输系统中，字符格式为1位起始位、8位数据位、1位奇校验位和1位终止位。假设波特率为1200bps，求相应的比特率

解：根据题中的字符格式，有效数据位为8位，而传送一个字符需1+8+1+1=11位

所以，比特率为

$$1200 \times ( 8 / 11 ) = 872.72\text{bps}$$

## 4.4 总线通信方式 (3)



### □ 半同步通信

#### ✓ 保留同步通信的基本特点

- 所有地址、命令、数据信号的发出，都严格参照系统时钟沿开始

#### ✓ 结合异步通信方式，允许设备部件以不同速度工作

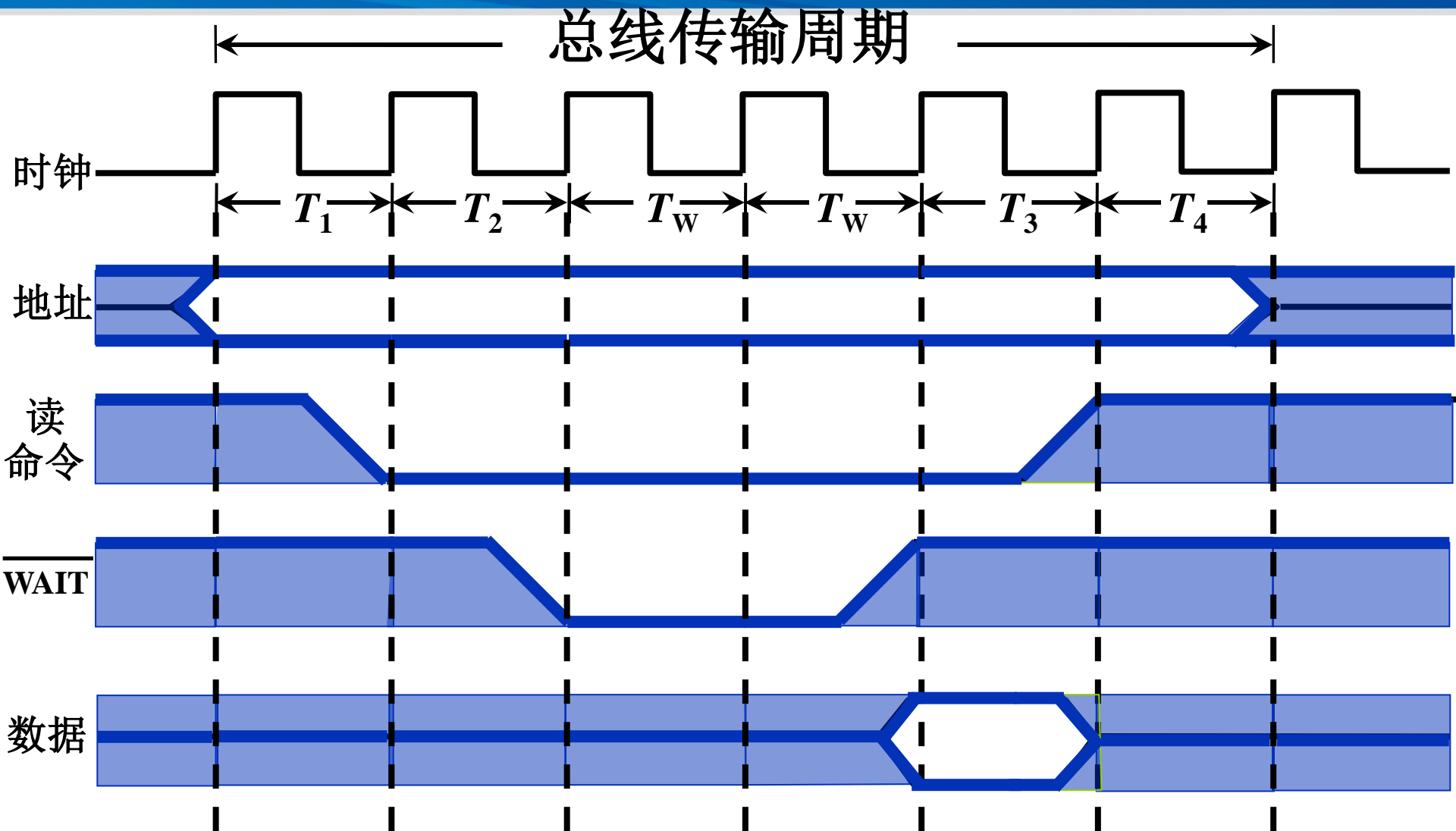
- 增设一条“等待”响应信号线，采用插入时钟（等待）周期的措施来协调通信双方的配合问题

#### ✓ 优点：控制方式比异步通信简单；各模块由统一时钟控制同步工作，可靠性较高

缺点：等待时间不确定导致工作效率低

#### ✓ 适用于工作速度差异较大的各类设备组成的简单系统

# 半同步通信数据输入过程





### □ 上述三种通信方式的特点

- ✓ 总线传输周期从主设备发出地址和读写命令开始，直到数据传输结束
- ✓ 传输周期，系统总线由具有总线使用权的主设备和它选中的从设备占据
- ✓ 总线传输周期时间主要花费在
  - 主设备通过总线向从设备**发送地址和命令**
  - 从设备按照命令**准备数据**
  - 从设备通过总线向主设备**提供数据**

## 4.4 总线通信方式 (5)



### □ 分离式通信方式

- ✓ 充分挖掘系统总线的潜力，提高系统性能
- ✓ 基本思想：将一个总线周期分为两个子周期
  - 第一个子周期，主设备**获得总线使用权**后向相关从设备发送地址和命令等信息，然后**放弃总线使用权**
  - 第二个子周期，从模块准备好数据，然后**申请总线使用权**，向相应的主设备发送要求的数据信息

### □ 分离式通信特点

- ✓ 两个子周期都只有单方向的信息流，每个设备其实都成了**主设备**
  - ✓ 各个设备都有权申请总线使用权
  - ✓ 采用**同步方式通信**，不等对方回答
  - ✓ 各模块**准备数据时，不占用总线**
  - ✓ 总线被占用时都在有效工作，不存在空闲等待时间
  - ✓ 总线在多个主、从设备间交叉重叠并行式传送
- 控制比较复杂，在普通微型计算机系统中很少采用，多见于大型计算机系统

# 总线系统及其发展趋势

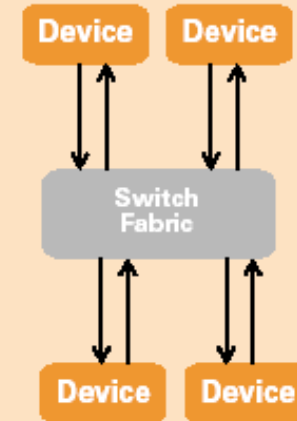


## 目前正在研发和已经使用的新型总线:

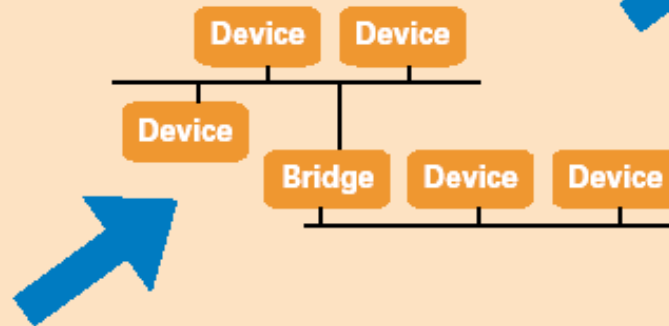
- RapidIO: 1Gbps ~ 60Gbps
- Infiniband: 100Gbps
- 3GIO: 2.5GB/s, Intel/AMD
- FutureIO: 10GB/s, IBM, Compaq, HP
- Serial AGP, Serial ATA, Intel
- ARM AMBA-AHB-APB-AXI
- Intel QPI
- IBM PLB OPB
- PCI-E

System Performance

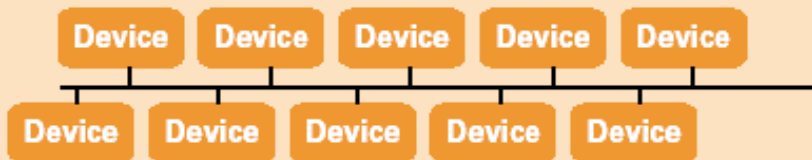
- Packet Switched
- Point-to-Point
- Low Pin Count



Very High Frequency



Bridged Hierarchy  
Broadcast  
< 133MHz  
Examples: PCI, PCI-X



Single Segment  
Broadcast  
< 33MHz  
Examples: CompactPCI, VME

# PCI-Express



中国科学技术大学  
University of Science and Technology of China

英文全名	Peripheral Component Interconnect Express
中文全名	快捷外设互联标准
发明日期	2004年
发明者	Intel

## PCI Express Example Connectors

**x1**

### BANDWIDTH

Single direction: 2.5 Gbps/200 MBps  
Dual Directions: 5 Gbps/400 MBps



**x4**

### BANDWIDTH

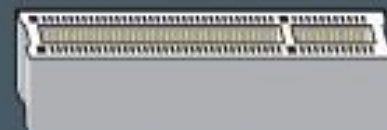
Single direction: 10 Gbps/800 MBps  
Dual Directions: 20 Gbps/1.6 GBps



**x8**

### BANDWIDTH

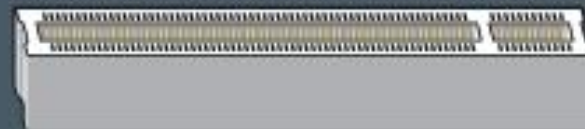
Single direction: 20 Gbps/1.6 GBps  
Dual Directions: 40 Gbps/3.2 GBps



**x16**

### BANDWIDTH

Single direction: 40 Gbps/3.2 GBps  
Dual Directions: 80 Gbps/6.4 GBps



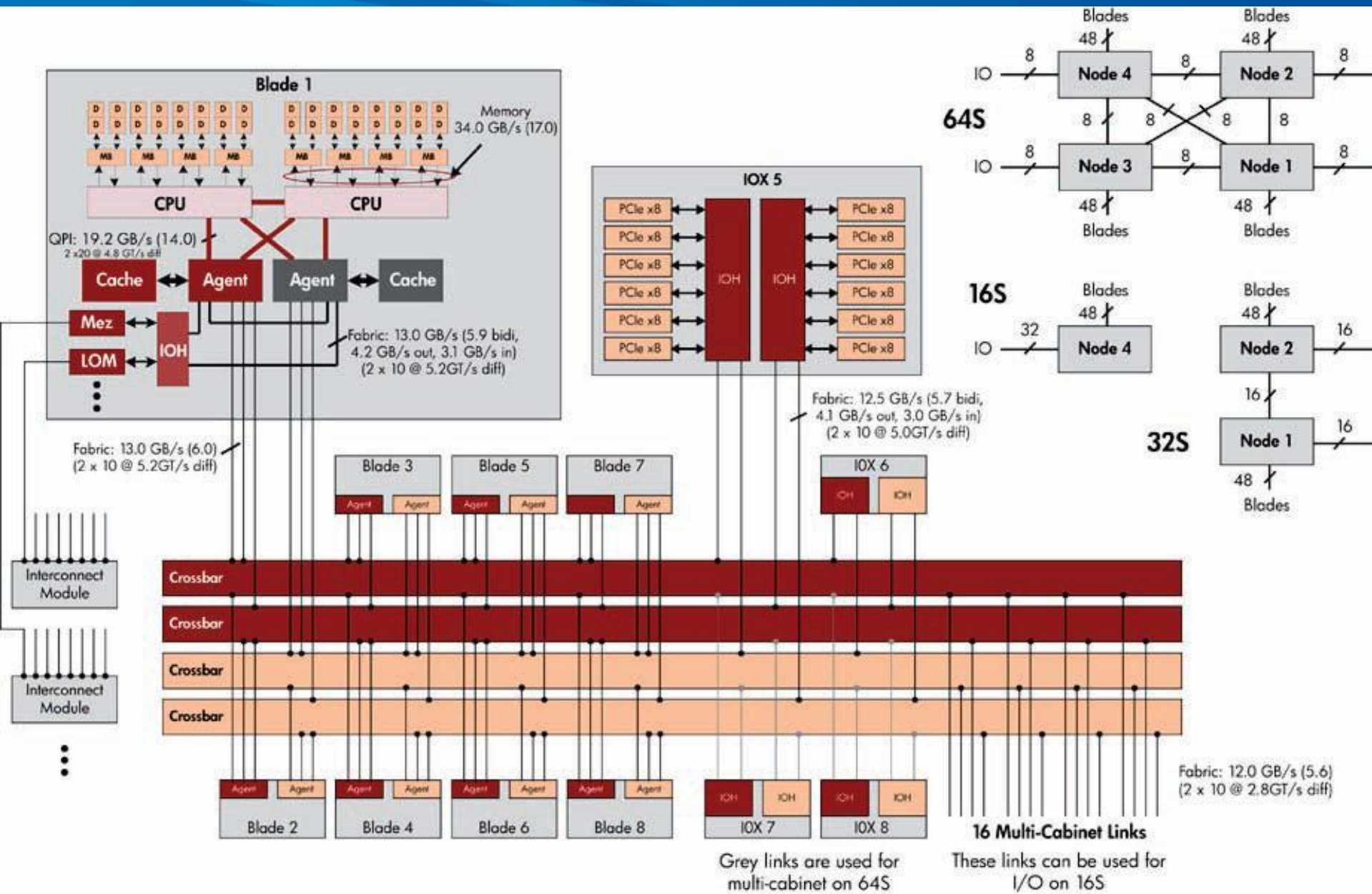
Source: IBM

## 刀片服务器

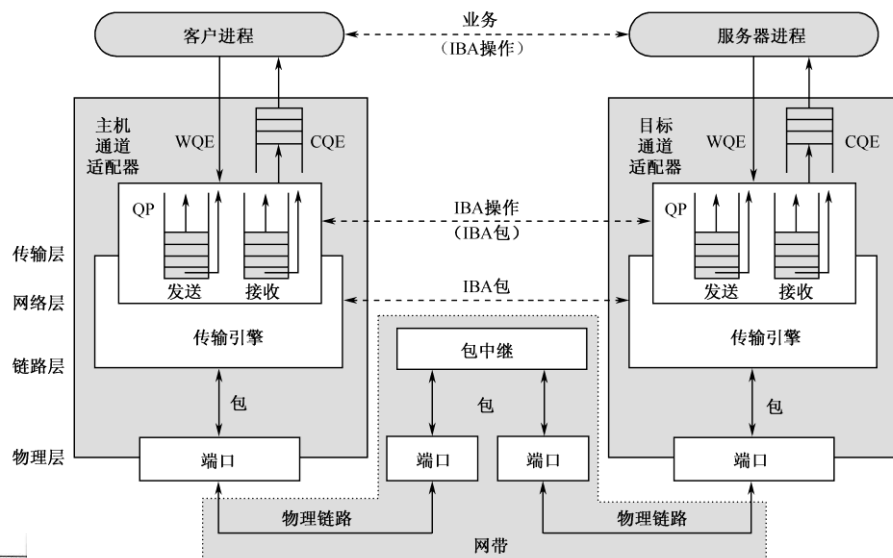
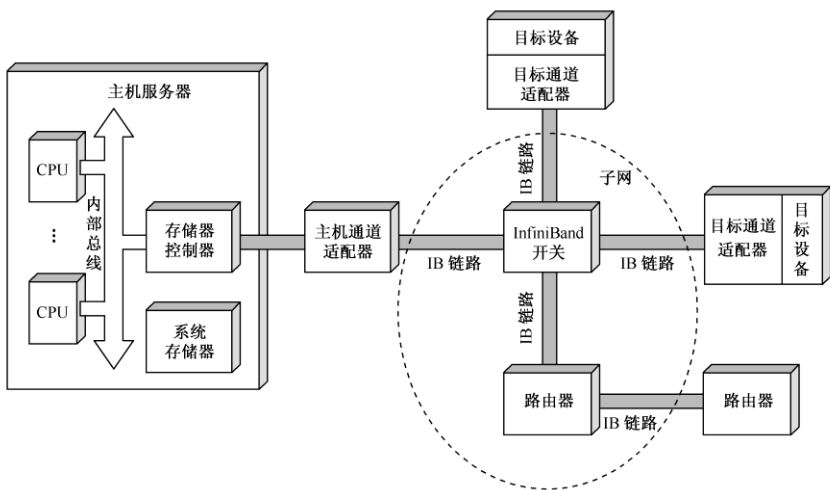
- ✓ 每一块“刀片”是一块系统主板，配置了CPU、内存、磁盘和网卡等设备
- ✓ 每一个主板运行自己的系统，服务于指定的不同用户群
- ✓ 可以通过刀片服务器中集成的交换“背板”形成**星形连接网络**。
- ✓ 专门为特殊应用行业和**高密度**计算环境设计



# 基于交叉开关Crossbar的互联



## 基于开关和链路组成的中央开关网带，可连接多达64000个服务器、存储系统和网络设备



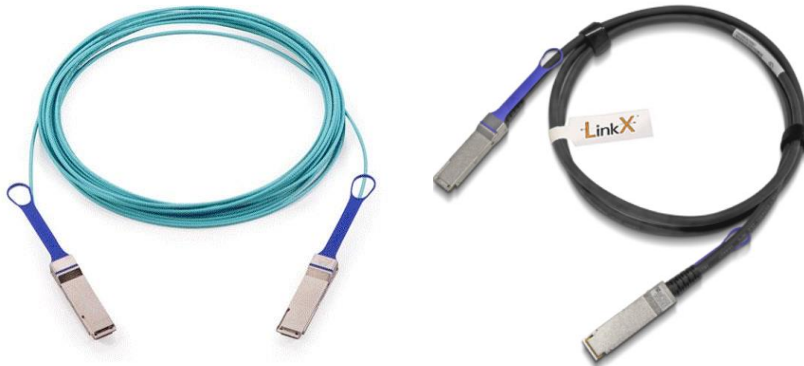
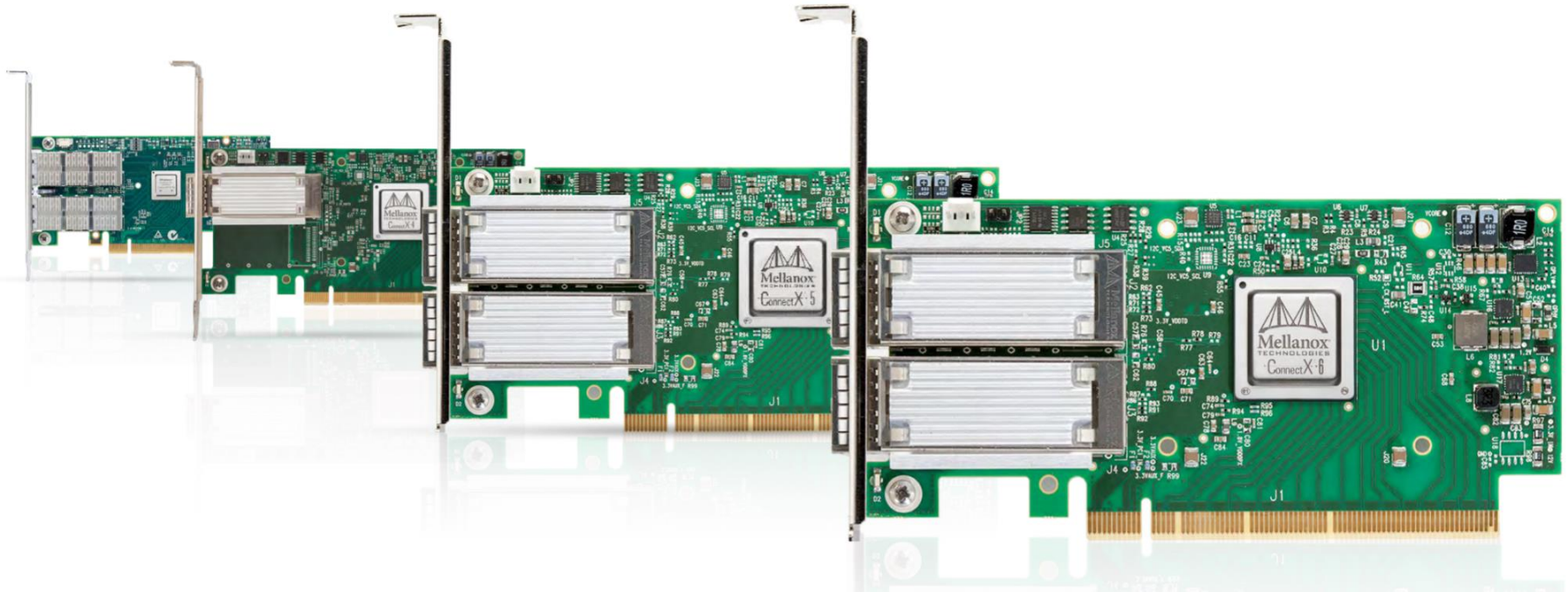
36个端口交换机带宽  
 $100\text{Gbps} \times 36 \times 2 = 7.2\text{Tbps}$

型号	网卡和网线	1		¥153,500
1-1	网卡和网线	Mellanox 双口100Gb/S MCXSS6A	1	9,800
		Mellanox 连接线IB EDR 100Gb/S,3Meter	1	1,700
		Mellanox SWITCH-IB 36口交换机	1	142,000
总金额(TOTAL):		#####	元整	¥153,500

# InfiniBand



中国科学技术大学  
University of Science and Technology of China



- 总线分类、特性与性能指标，拓扑结构
- 总线仲裁
- 总线通信
  - ✓ 传输过程
  - ✓ 控制过程
- 总线数据传输
  - ✓ 串并行方式，编码方式
  - ✓ 数据传输模式
- 总线周期、总线带宽
- 作业（不交）
  - ✓ 3.4、3.8、3.12（选）、3.14、3.15、3.16



*"study the past if you would define the  
future."*

*by Confucius*