



中国科学技术大学

University of Science and Technology of China

Ch4.2 深度与浮点流水线举例

MIPS R4000

王 超

中国科学技术大学计算机学院
高能效智能计算实验室

2026年春



1. MIPS R4000的整型流水线（深度流水线）
2. MIPS R4000的浮点流水线

计算机中的流水线

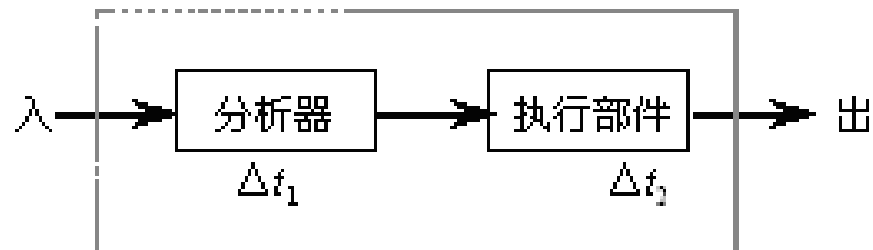
□ 指令流水线

□ 功能部件流水线 (浮点)

□ Godson3~9 Pentium4 ~31 ARM7~3

MIPS/ARM9/PowerPC 405 ~ 5 ARM 10 6级

ARM 11 8级 ARM Coretex A8 13级 A9 8级



流水技术

将重复的时序过程分解为若干子过程，每个子过程都可有效地在其专用功能段上与其它子过程同时执行，这种技术称为流水技术。



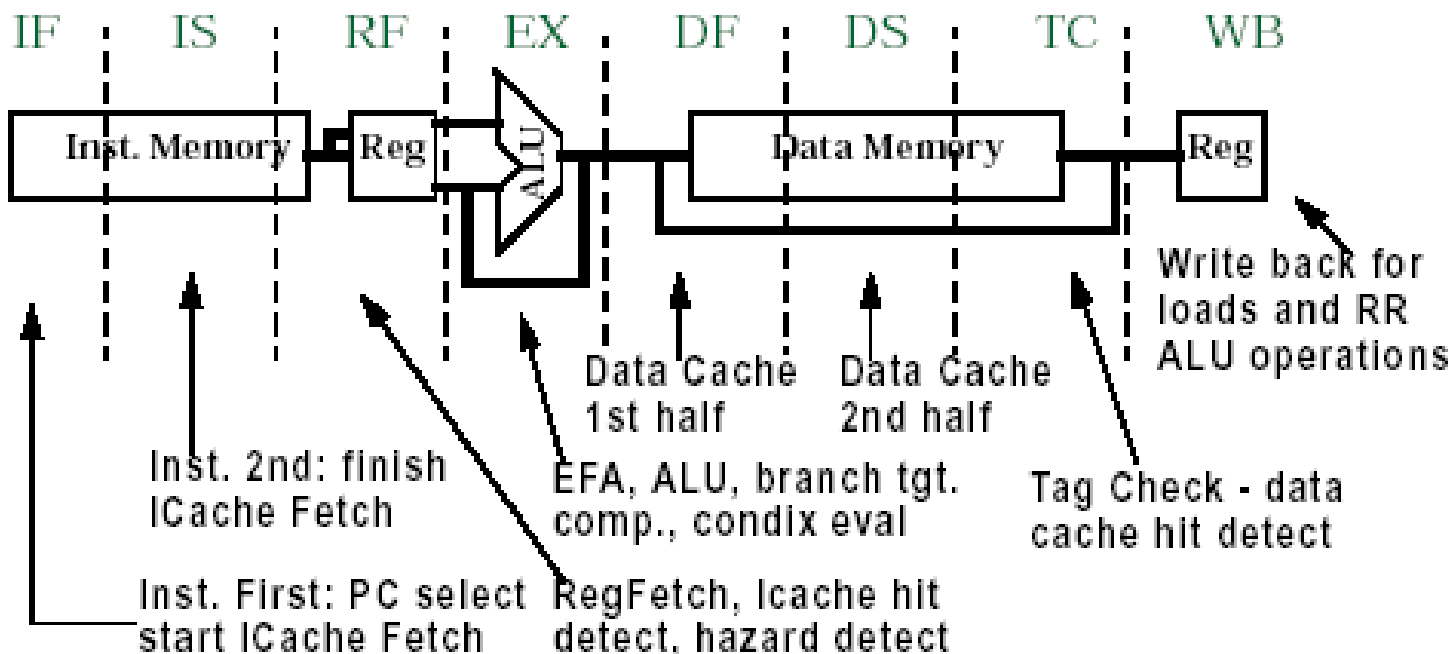
MIPS R4000的整型流水线

1. 指令集：64位MIPS指令集（实际的 64-bit 机器）

2. MIPS R4000流水线结构

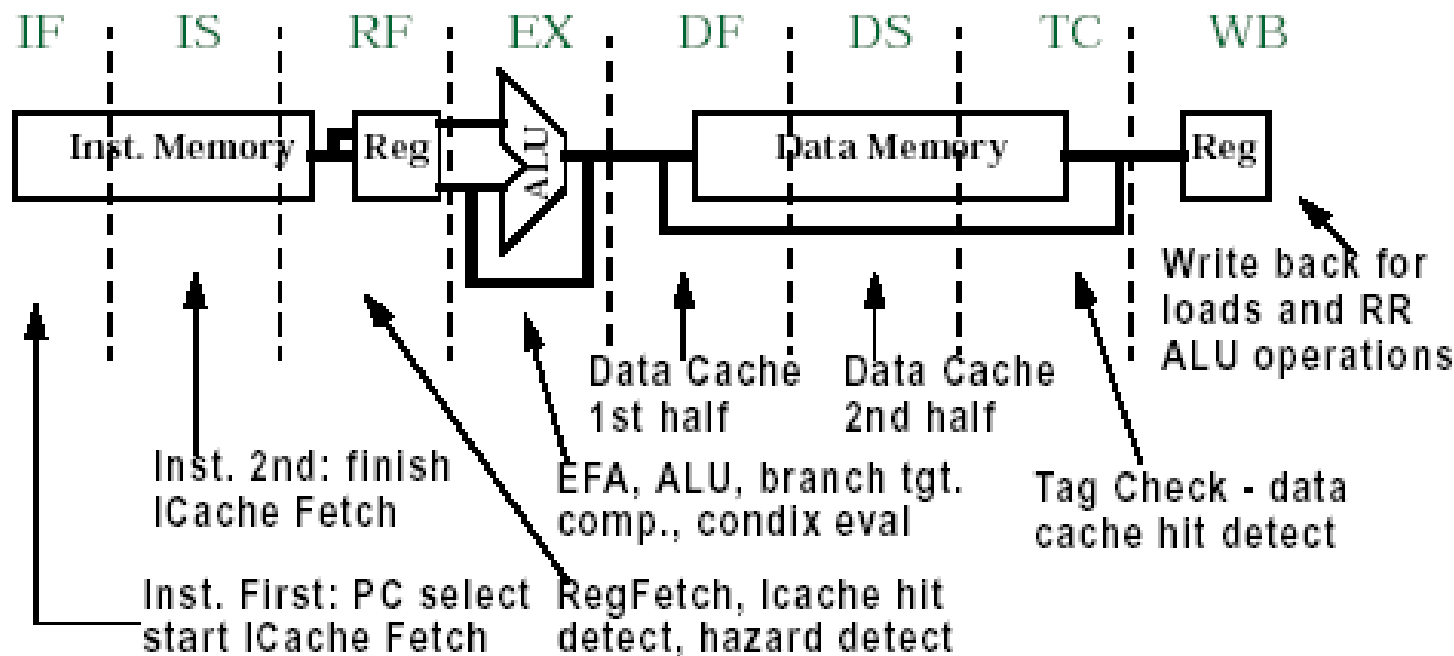
- ◆ 较深的流水线
- ◆ 访存操作流水化
- ◆ 主频100MHz ~ 200MHz
- ◆ 主要应用领域
 - ◆ High end Color laser Printers
 - ◆ Network Routers (Cisco)

MIPS R4000的8级整数流水线



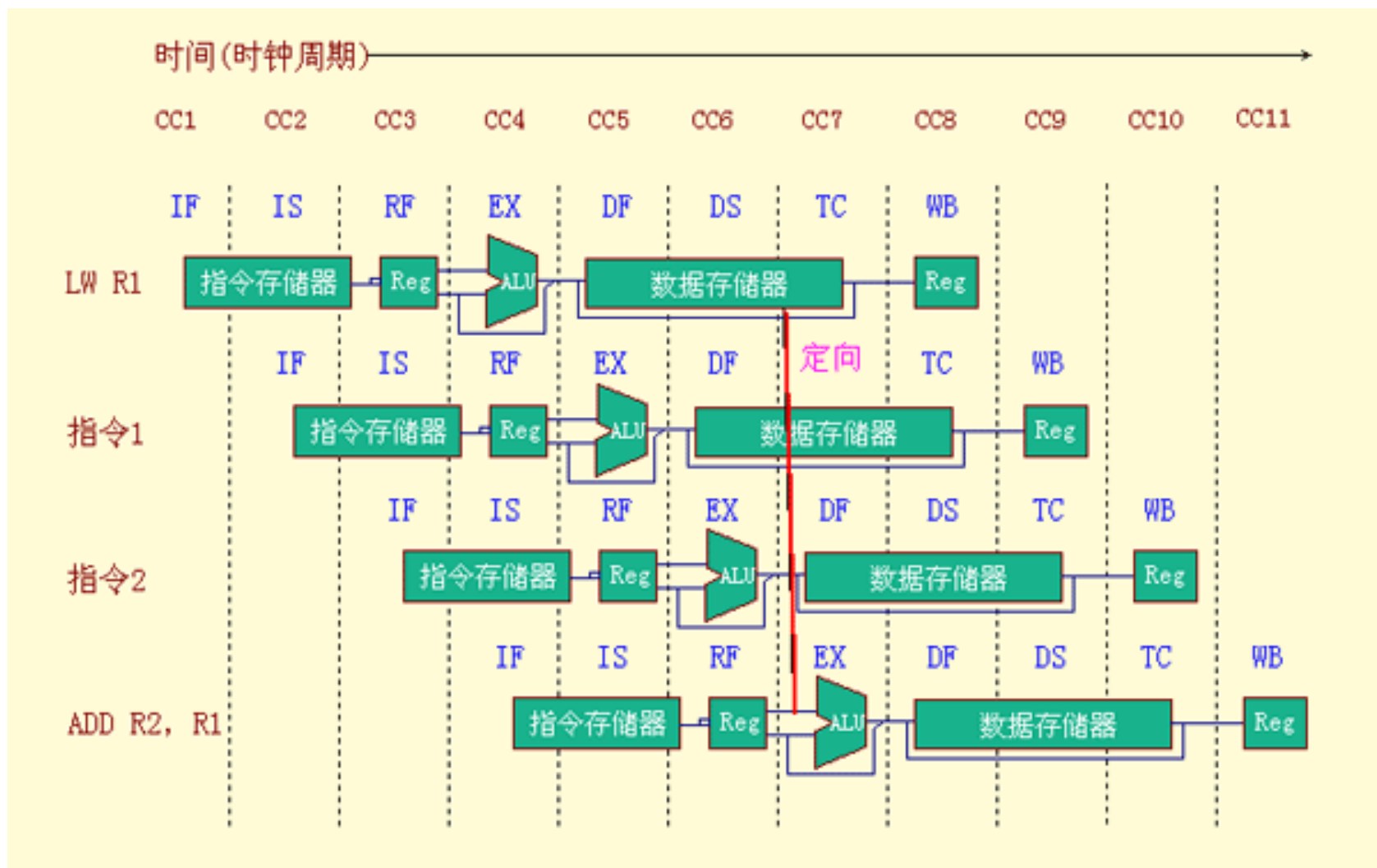
- IF—取指阶段的前半部分；选择PC值，初始化指令cache的访问
- IS—取指阶段的后半部分，主要完成访问指令cache的操作
- RF—指令译码，寄存器读取，相关检测以及指令cache命中检测
- EX—执行，包括：计算有效地址，进行ALU操作，计算分支目标地址和检测分支条件

MIPS R4000的8级整数流水线



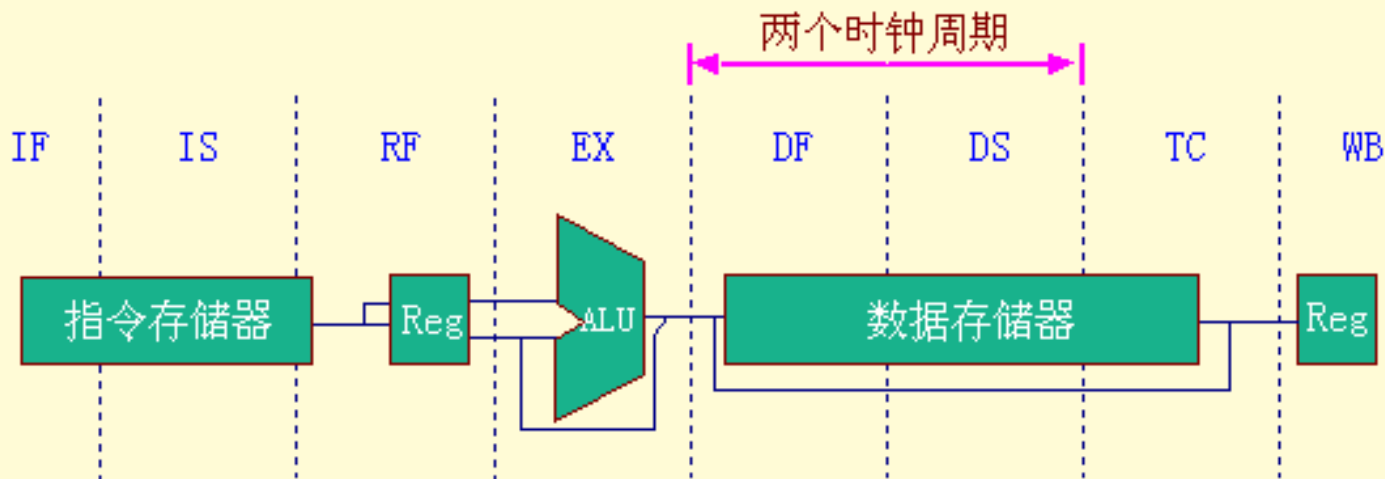
- DF-取数据，访问数据cache的前半部分
- DS-访问数据cache的后半部分
- TC-tag 检测，确定数据cache是否命中
- WB-Load操作和R-R操作的结果写回

指令序列在流水线中的重叠执行过程: 定向+插入暂停周期



□ 指令序列在流水线中的重叠执行过程: **定向+插入暂停周期**

载入延迟为两个时钟周期



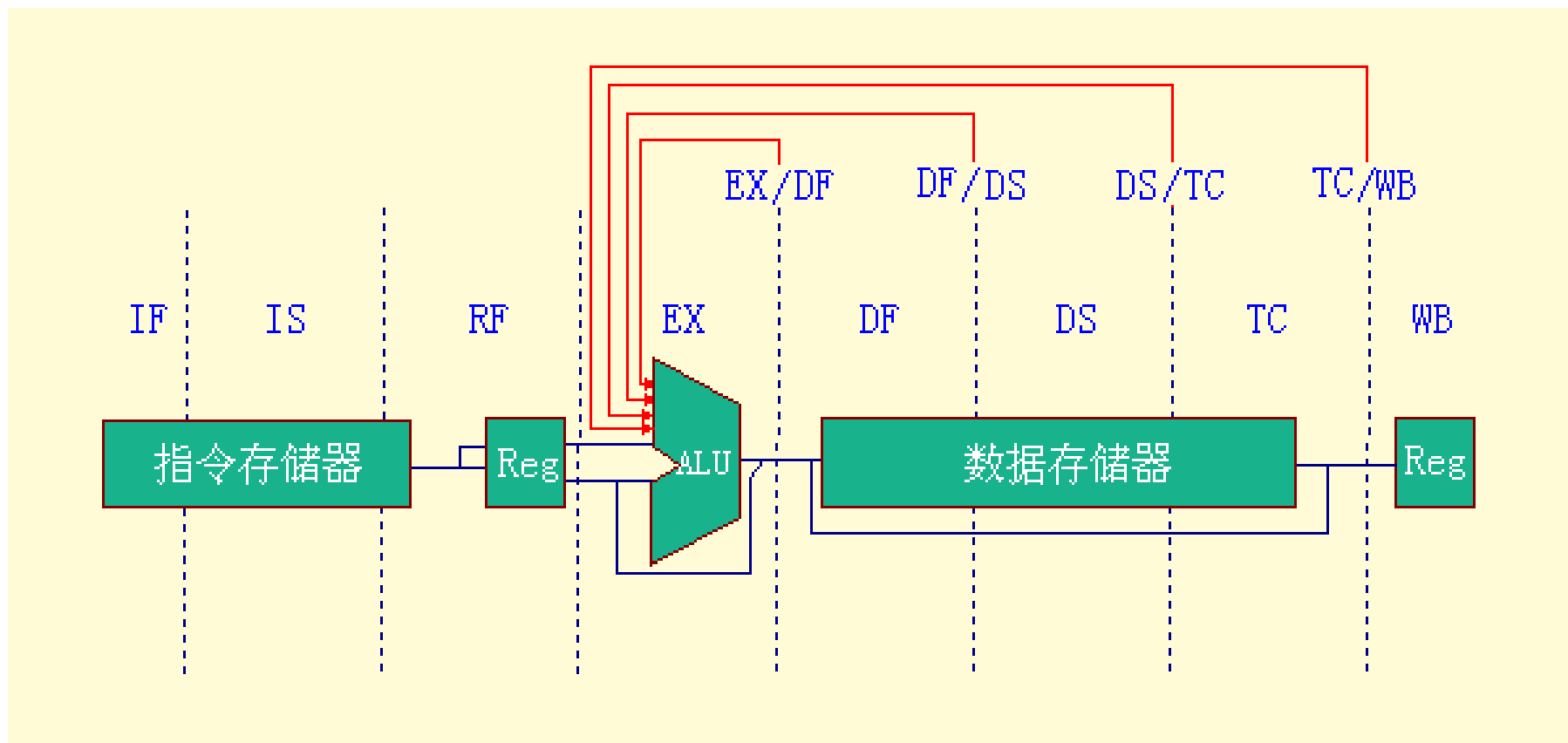
□ 指令序列在流水线中的执行时空图

指令序列	时钟周期								
	1	2	3	4	5	6	7	8	9
LW R1		IS	RF	EX	DF	DS	TC	WB	
ADD R2, R1			IS	RF	stall	stall	EX	DF	DS
SUB R3, R1			IF	IS	stall	stall	RF	EX	DF
OR R4, R1				IF	stall	stall	IS	RF	EX

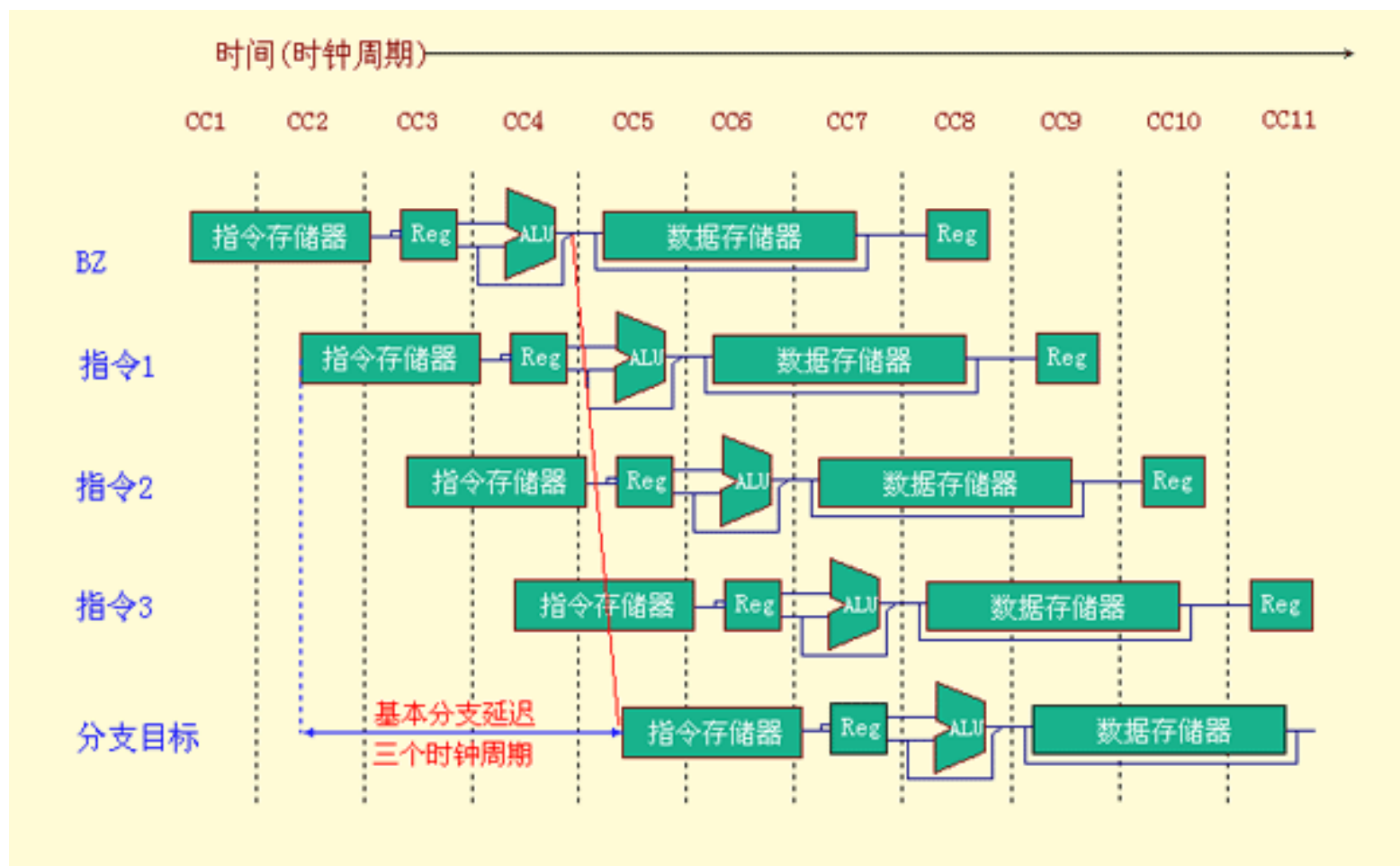
定向

□ R4000流水线的定向路径远多于五级流水线

ALU输入端的定向源有4个：EX/DF, DF/DS, DS/TC, TC/WB



- 在EX段完成分支条件的计算，基本分支延迟为**3个时钟周期**



- 分支处理策略
 - 单周期延迟分支
 - 从失败处调度

R4000流水线处理分支指令的时空图

指令序列	时钟周期								
	1	2	3	4	5	6	7	8	9
分支指令	IF	IS	RF	EX	DF	DS	TC	WB	
延迟槽		IF	IS	RF	EX	DF	DS	TC	WB
暂停			stall	stall	stall	stall	stall	stall	stall
暂停				stall	stall	stall	stall	stall	stall
分支目标					IF	IS	RF	EX	DF

两个暂停周期



MIPS R4000的浮点流水线

- 包括浮点除法器、浮点乘法器和浮点加法器各1个
- 分为8段

流水段	功能部件	描述
A	浮点加法器	尾数加
D	浮点除法器	除法
E	浮点乘法器	例外测试
M	浮点乘法器	乘法第一阶段
N	浮点乘法器	乘法第二阶段
R	浮点加法器	舍入
S	浮点加法器	操作数移位
U		展开浮点数

□ 双精度浮点操作指令延迟、初始化间隔和流水段的使用情况

浮点指令	延迟	初始化间隔	使用的流水段
Add、Sub	4	3	U,S+A,A+R,R+S
Multiply	8	4	U,E+M,M,M,M,N,N+A,R
Divide	36	35	U,A,R,D ²⁸ ,D+A,D+R,D+A,D+R,A,R
Square root	112	111	U,E,(A+R) ¹⁰⁸ ,A,R
Negate	2	1	U,S
Absolute	2	1	U,S
FP Compare	3	2	U,A,R

浮点流水线例子



Operation	Issue/stall	Clock cycle												
		0	1	2	3	4	5	6	7	8	9	10	11	12
Add	Issue	U	S+A	A+R	R+S									
Multiply	Issue		U	M	M	M	M	N	N+A	R				
	Issue			U	M	M	M	M	N	N+A	R			

Operation	Issue/stall	Clock cycle												
		0	1	2	3	4	5	6	7	8	9	10	11	12
Add	Issue	U	S+A	A+R	R+S									
Divide	Stall		U	A	R	D	D	D	D	D	D	D	D	D
	Issue			U	A	R	D	D	D	D	D	D	D	D
	Issue				U	A	R	D	D	D	D	D	D	D

浮点流水线例子



		Clock cycle												
Operation	Issue/stall	0	1	2	3	4	5	6	7	8	9	10	11	12
Multiply	Issue	U	E + M	M	M	M	N	N + A	R					
Add	Issue		U	S + A	A + R	R + S								
	Issue			U	S + A	A + R	R + S							
	Issue				U	S + A	A + R	R + S						
	Stall					U	S + A	A + R	R + S					
	Stall						U	S + A	A + R	R + S				
	Issue							U	S + A	A + R	R + S			
	Issue								U	S + A	A + R	R + S		

- 从简单流水线=>复杂流水线的设计
- 定点流水线的复杂体现
 - ✓ 数据相关：深度->定向路径复杂->定向网络
 - ✓ 控制相关：深度->分支延迟长
- 浮点流水线的复杂体现
 - ✓ 结构相关：浮点部件冲突->stall



- These slides contain material developed and copyright by:
 - ✓ Prof. Zhiying Wang (NUDT)
 - ✓ Dr. Xianglan Chen(USTC)
 - ✓ Prof. Xuehai Zhou (USTC)
 - ✓ Prof. Krste Asanovic (MIT/UCB)

- NUDT material Computer Architecture
- UCB material derived from course CS152



*“The more we study, the more we discover
our ignorance.”*

by Percy Bysshe Shelley