



**中国科学技术大学**  
University of Science and Technology of China

# 计算机组成原理

## Lab0 实验简介

计算机实验教学中心

2024/3/18

# 实验简介

---

## ■ 实验目标

- 设计实现一个真实（非虚拟或仿真，虽简单但较为完整）的计算机硬件系统

## ■ 实验工具

- 软件环境：Vivado 2019.1/2023.1
- 开发语言：Verilog HDL
- 硬件环境：FPGA在线实验平台、Nexys4-DDR开发板

## ■ 时间、地点

- 周一、周三晚 6:30~9:30；电三楼406、408

## ■ 课程资源

- VLAB实验中心：vlab.ustc.edu.cn
- 实验主页：<https://soc.ustc.edu.cn/COD/>
- QQ群：2024组成原理实验，903670306

# 实验安排

---

实验一	实用汇编程序	(1 周)
实验二	寄存器堆与 ALU	(1 周)
实验三	简单单周期 CPU 设计	(1 周)
实验四	完整单周期 CPU 设计	(1 周)
实验五	无相关流水线 CPU 设计	(1 周)
实验六	完整流水线 CPU 设计	(2 周)
实验七	高速缓存	(2 周)

# 实验成绩

## ■ 实验总成绩为各次实验成绩的加权求和

- 每次实验成绩包括**检查成绩 (80%)** 和**报告成绩 (20%)**

## ■ 按时完成实验检查和实验报告提交

- 延迟 $\leq 1$ 周，则最多只能得分80%；若延迟 $\leq 2$ 周，则最多只能得分60%；延迟超过2周不得分。
- **严禁实验代码和实验报告抄袭，否则作零分处理。**

**严禁抄袭，否则作零分处理！**

# 实验检查

---

## ■ 实验检查内容

- 实验仿真结果
- 实验下载后运行结果
- 回答问题（例如设计思路、解释代码）
- ... ..

## ■ 检查截止时间

- 周一组周一晚上9:30
- 周三组周三晚上9:30

**严禁抄袭，否则作零分处理！**

# 实验报告

## ■ 实验报告内容

- 内容包括但不限于逻辑设计（数据通路和状态图）、核心代码、仿真/下载结果、结果分析、实验总结、意见/建议等，设计和测试文件附实验报告后
- pdf格式，文件名：Labn\_学号\_姓名\_vi，其中n为第几次实验，vi表示版本号，例如，Lab1\_PBxxxxxxxxx\_张三\_v1
- 报告提交网址：??

## ■ 报告截止时间

- 对应实验检查截止时间延后一周晚24:00

**严禁抄袭，否则作零分处理！**

# 截止时间

实验项目	开始时间	截止时间			
		检查100%	检查80% 报告100%	检查60% 报告80%	报告60%
1. 实用汇编程序	3月18日	3月25日 3月27日	4月1日 4月3日	4月8日 4月10日	4月15日 4月17日
2. 寄存器堆与ALU	3月25日	4月1日 4月3日	4月8日 4月10日	4月15日 4月17日	4月22日 4月24日
3. 简单单周期CPU设计	4月1日	4月8日 4月10日	4月15日 4月17日	4月22日 4月24日	4月29日 5月1日
4. 完整单周期CPU设计	4月8日	4月15日 4月17日	4月22日 4月24日	4月29日 5月1日	5月6日 5月8日
5. 无相关流水线CPU设计	4月15日	4月22日 4月24日	4月29日 5月1日	5月6日 5月8日	5月13日 5月15日
6. 完整流水线CPU设计	4月22日	5月6日 5月8日	5月13日 5月15日	5月20日 5月22日	5月27日 5月29日
7. 高速缓存	5月6日	5月20日 5月22日	5月27日 5月29日	6月3日 6月5日	6月10日 6月12日

**The End**