

数字逻辑设计进阶实验

实验七 综合设计

实验目的

- 理解常用外设接口电路的工作原理和设计方法
- 熟练掌握数字系统的模块化设计方法，以及数据通路和控制器的设计方法
- 熟练掌握Verilog描述组合和时序逻辑电路的方法
- 熟练掌握利用EDA工具，进行逻辑电路的设计、仿真、调试、下载测试等基本方法
- 熟练掌握查看电路资源使用情况，以及分析电路的性能

实验板外设与接口

① PC通信串口：UART

② PC通信以太网口

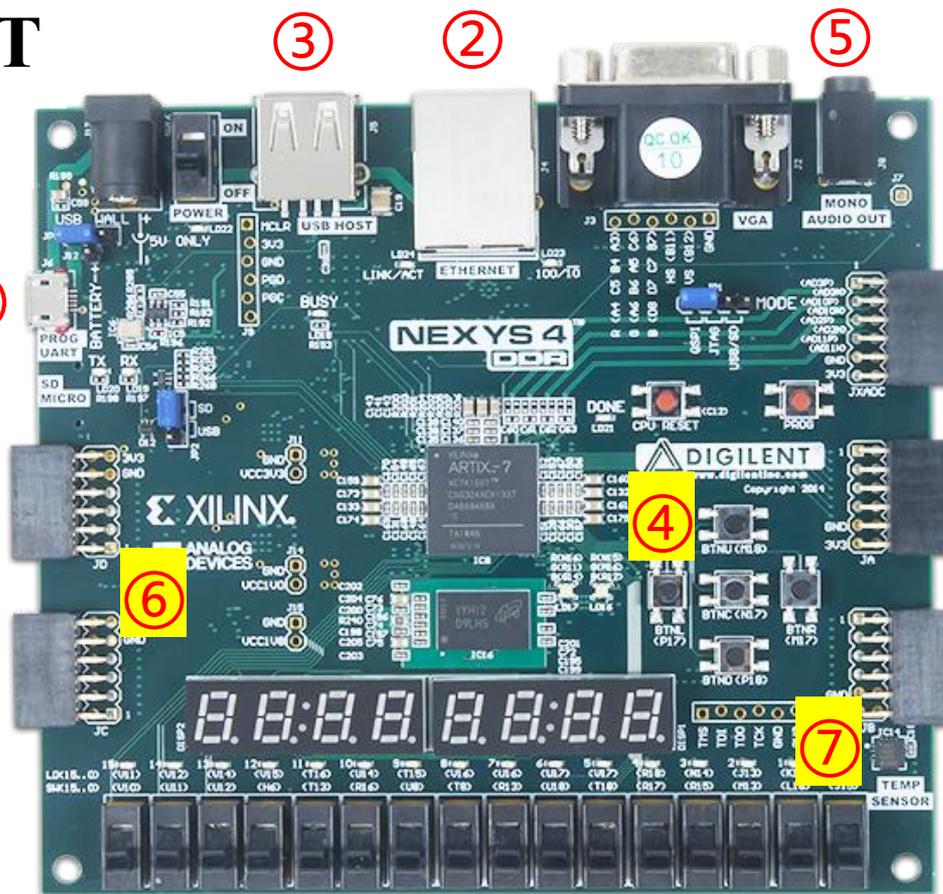
③ 键盘/鼠标：PS/2

④ 加速度计：SPI

⑤ 音频：PWM

⑥ 麦克风：PDM

⑦ 温度计：I2C



实验内容

- 设计实现可变大小数组的排序
 - 数组大小范围2 ~ 512，数组元素为8位有符号整数
 - 数组大小和数组元素均通过串口从PC端输入
 - 将排序前后的数组结果以及排序花费的时钟周期数，通过串口输出到PC端显示
 - 采用十进制格式输入/输出数据，排序算法自选
 - 可选：键盘输入数据，显示器输出数据
 - 可选：伪随机数算法生成数组
 - 可选：数组元素为单精度实数

实验内容 (续)

- 可选的其他设计
 - 键盘/鼠标/加速度计的输入
 - 音频解码与播放
 - 视频解码与播放
 - 文本编辑
 - 加解密算法实现
 - 手写数字识别
 - 矩阵乘法运算
 -

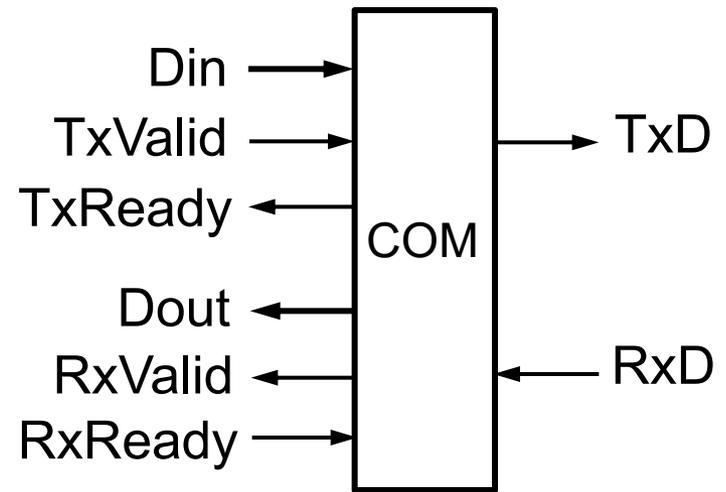
异步串行通信接口

- **发送(Transmit)通道**

- Din: 发送数据, 8位
- TxValid: 发送数据有效
- TxReady: 发送准备好
- TxD: 串行发送数据, 1位

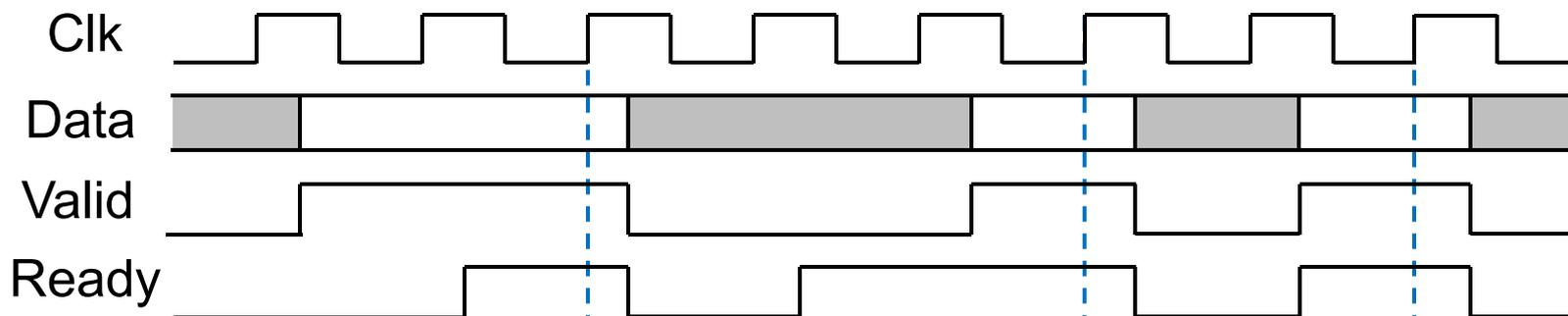
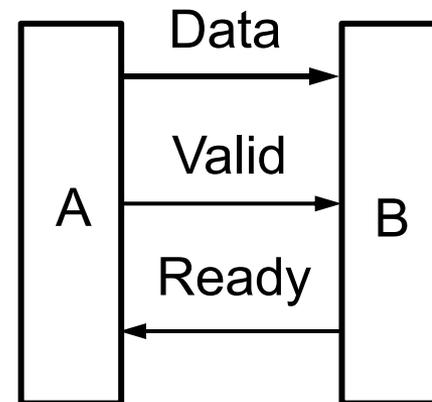
- **接收(Receive)通道**

- Dout: 接收数据, 8位
- RxValid: 接收数据有效
- RxReady: 接收准备好
- RxD: 串行接收数据, 1位



Valid-Ready握手协议

- 数据源端A：数据准备好，则置Valid有效
- 数据目标端B：准备好接收数据，则置Ready有效
- 在时钟采样沿Valid和Ready均有效时，完成数据传输



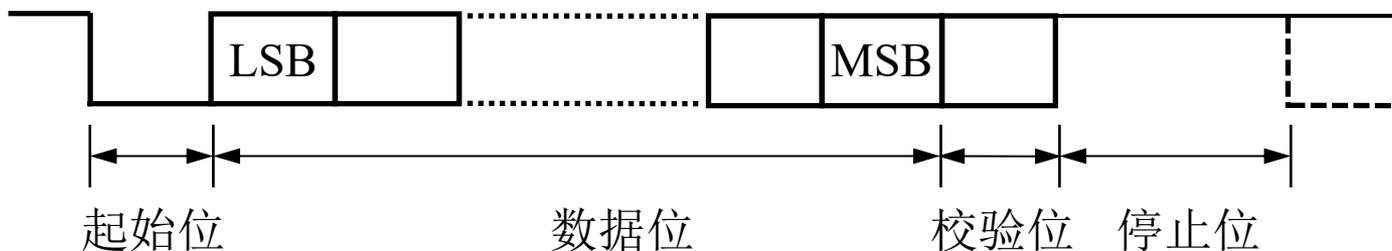
Valid-Ready握手协议 (续)

- 为防止死锁 (Deadlock), 源端不允许在Valid置位前等待Ready置位, 而目标端允许在Ready置位前等待Valid置位, 即目标可以等待源, 而源不可以等待目标
- Valid置位后必需保持, 直至握手完成, 即时钟采样沿时Valid和Ready均置位, 而Ready置位后可以在Valid置位前取消置位
- 建议目标端准备好就置位Ready, 这样在Valid置位后仅需一个时钟周期即可完成接收信息, 从而提高效率

RS-232通信协议

- 数据传输格式

- 起始位：1位
- 数据位：5~8位，低位在前
- 校验位：1位，可选
- 停止位：1、1.5或2位

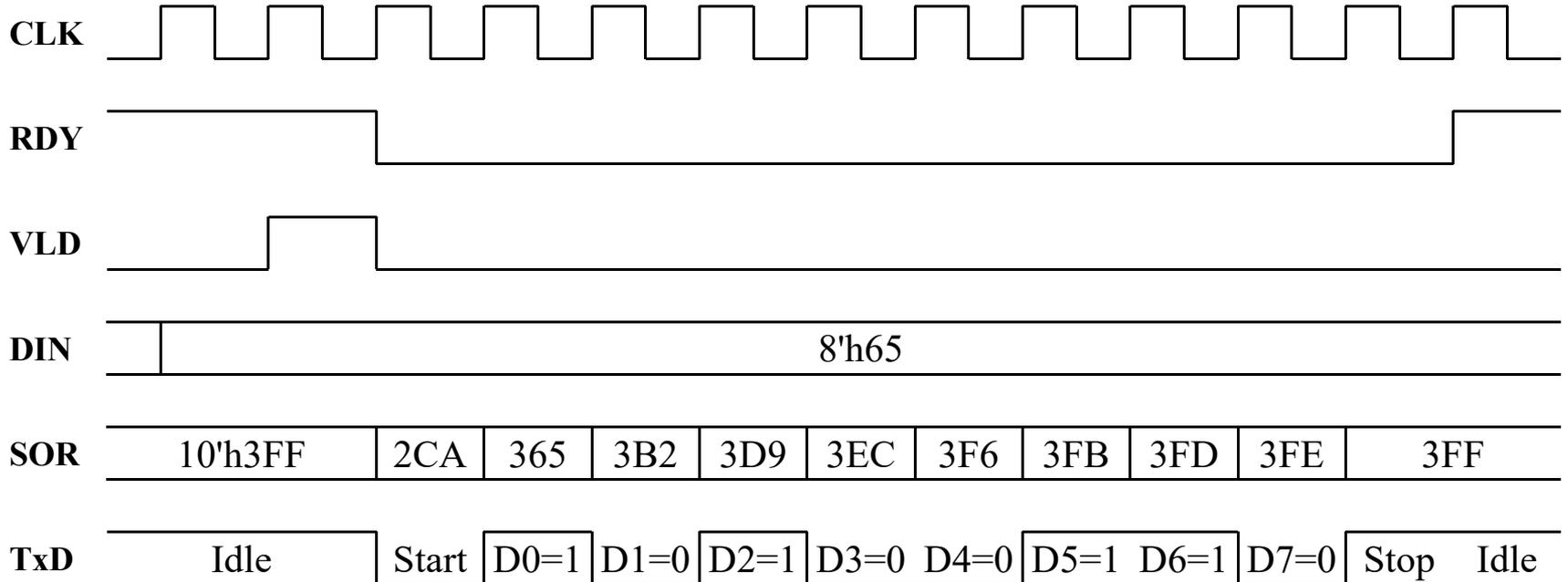


- 数据传输速率

- 波特率：每秒传输位数。常用波特率有1200、2400、9600、19.2K、38.4K、56K、115.2K等

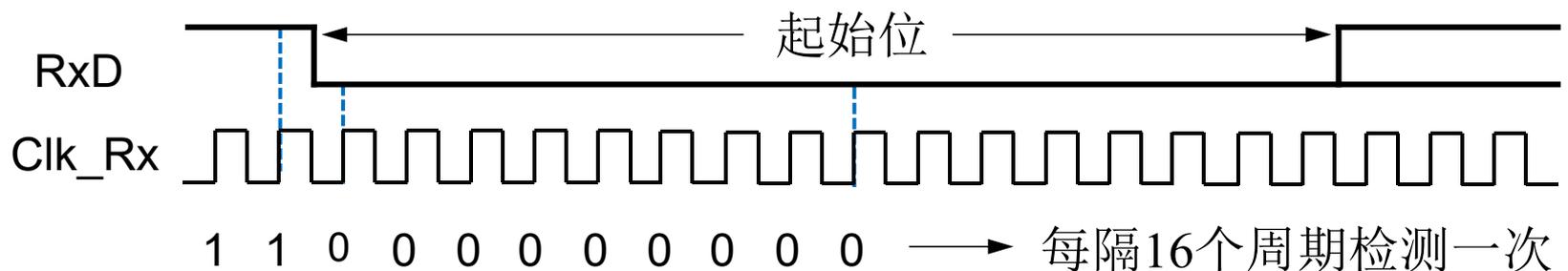
实现：8位数据位，无校验位，1位停止位，波特率9600

发送时序



接收过程

- 当检测到RxD信号由1到0跳变，且8个接收时钟(Clk_Rx)后检测仍为0，则确认为起始位
- 接着每隔16个接收时钟，对RxD检测一次，依次作为数据位(存入移位输入寄存器SIR)、校验位和停止位
- 若未出现停止位或奇偶校验位出错，则将数据位从SIR传送至数据输入寄存器DIR



The End